

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-356709

(43)Date of publication of application : 26.12.2001

(51)Int.Cl.

G09F 9/30  
G02F 1/1368  
H01L 29/786

(21)Application number : 2000-179899

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 15.06.2000

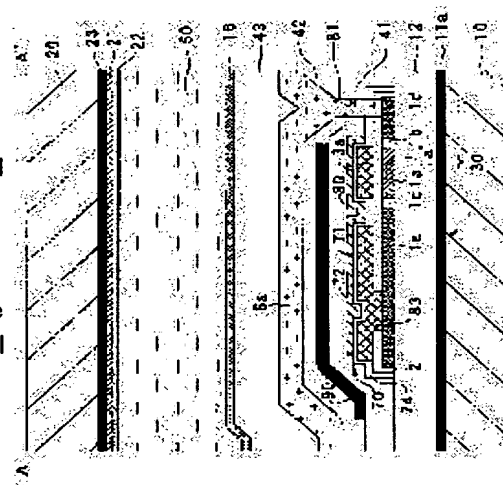
(72)Inventor : TAKAHARA KENICHI

## (54) OPTOELECTRONIC DEVICE AND METHOD FOR MANUFACTURING THE SAME

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an optoelectronic device such as a liquid crystal device, in which light stability is enhanced and storage capacitance is efficiently charged simultaneously.

**SOLUTION:** The optoelectronic device is provided with a scanning line (3a), a data line (6a), a TFT (30) connected to these, a pixel electrode connected to this (9a), storage capacitance (70) including a pixel potential side capacity electrode (71) and a fixed potential side capacity electrode (72), and a cover layer (80) layered on a position covering at least a channel region (1a') of a semiconductor layer (1a) to compose the TFT when observed superficially, on a TFT array substrate (10). One electrode between the pixel potential side capacity electrode and the fixed potential side capacity electrodes, and the cover layer are formed from the same silicon layer. Then, the one electrode is formed so as to have a low resistance by being doped in a manufacturing process.



### LEGAL STATUS

[Date of request for examination]

16.01.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Best Available Copy

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The thin film transistor connected to the scanning line and the data line which carry out a phase crossover on a substrate, and this scanning line and the data line, The storage capacitance containing the pixel electrode connected to this thin film transistor, and the fixed potential side capacity electrode which opposite arrangement is carried out through a dielectric film, and is made into fixed potential at the pixel potential side capacity electrode which is connected to this pixel electrode and made into pixel electrode potential, and this pixel potential side capacity electrode, It has the cover layer of the semi-conductor layer which constitutes said thin film transistor by which looked at the channel field superficially at least, and the laminating was carried out to the wrap location. It is the electro-optic device characterized by forming one electrode and said cover layer from the same silicon layer among said pixel potential side capacity electrode and said fixed potential side capacity electrode.

[Claim 2] The thickness of said cover layer is an electro-optic device according to claim 1 characterized by being 100nm - 300nm.

[Claim 3] A part for the silicon layer which a part for the silicon layer which makes one [ said ] electrode has conductivity by doping an impurity, and makes said cover layer is an electro-optic device according to claim 1 or 2 characterized by conductivity being smaller than one [ said ] electrode by not doping said impurity.

[Claim 4] Said cover layer is an electro-optic device according to claim 3 characterized by not dissociating from one [ said ] electrode in pattern.

[Claim 5] A part for the silicon layer which makes one [ a part for the silicon layer which makes said cover layer, and / said ] electrode is an electro-optic device according to claim 1 or 2 characterized by there being conductivity by doping an impurity.

[Claim 6] One [ said ] electrode is an electro-optic device according to claim 5 which is said fixed potential side capacity electrode, and is characterized by not separating said cover layer from one [ said ] electrode in pattern.

[Claim 7] Said cover layer is an electro-optic device according to claim 3 or 6 characterized by dissociating from one [ said ] electrode in pattern.

[Claim 8] Said fixed potential side capacity electrode is an electro-optic device given in any 1 term of claims 1-7 characterized by connecting with fixed potential wiring.

[Claim 9] It is an electro-optic device given in any 1 term of claims 1-7 characterized by having further the conductive upper light-shielding film which the laminating is carried out to said thin film transistor bottom on said substrate, and specifies the non-opening field of a pixel partially at least, connecting said fixed potential side capacity electrode to said upper light-shielding film, and being dropped on fixed potential through said upper light-shielding film.

[Claim 10] It is an electro-optic device given in any 1 term of claims 1-7 characterized by carrying out the laminating to said thin film transistor bottom on said substrate, having further the lower layer light-shielding film of wrap conductivity for said channel field from the this bottom, connecting said fixed potential side capacity electrode to said lower layer light-shielding film, and being dropped on fixed potential through said lower layer light-shielding film.

[Claim 11] It is an electro-optic device given in any 1 term of claims 1-10 characterized by forming the electrode of another side from the same layer as the gate electrode layer which constitutes said thin film transistor among said pixel potential side capacity electrode and said fixed potential side capacity electrode.

[Claim 12] It is an electro-optic device given in any 1 term of claims 1-10 characterized by forming the electrode of another side from the same layer as said semi-conductor layer among said pixel potential side capacity electrode and said fixed potential side capacity electrode.

[Claim 13] It is an electro-optic device given in any 1 term of claims 1-10 characterized by forming the electrode of another side from the same layer as said pixel electrode among said pixel potential side capacity electrode and said fixed potential side capacity electrode.

[Claim 14] The process which forms on a substrate the scanning line and the data line which carry out a phase crossover, and the process which forms the thin film transistor connected to this scanning line and the data line, The process which forms the storage capacitance containing the process which forms the pixel electrode connected to this thin film transistor, and the fixed potential side capacity electrode which opposite arrangement is carried out through a dielectric film, and is made into fixed potential at the pixel potential side capacity electrode which is connected to said pixel electrode and made into pixel electrode potential, and this pixel potential side capacity electrode, It has the process which forms the cover layer of the semi-conductor layer which constitutes said thin film transistor by which looks at a channel field superficially at least, and a laminating is carried out to a wrap location. The manufacture approach of the electro-optic device characterized by forming one electrode and said cover layer from the same silicon layer among said pixel potential side capacity electrode and said fixed potential side capacity electrode at the process which forms the process which forms said storage capacitance, and said cover layer.

[Claim 15] The manufacture approach of the electro-optic device according to claim 14 characterized by the conductive thing to give at a part for the silicon layer which makes one [ said ] electrode by the ion implantation which carries out the mask of the part for the silicon layer which makes said cover layer at the process which forms said storage capacitance.

[Claim 16] The thin film transistor connected to the scanning line and the data line which carry out a phase crossover on a substrate, and this scanning line and the data line, The storage capacitance containing the pixel electrode connected to this thin film transistor, and the fixed potential side capacity electrode which opposite arrangement is carried out through a dielectric film, and is made into fixed potential at the pixel potential side capacity electrode which is connected to this pixel electrode and made into pixel electrode potential, and this pixel potential side capacity electrode, It is the electro-optic device which is equipped with the protection-from-light layer which becomes with the silicon of the semi-conductor layer which constitutes said thin film transistor by which looked at the channel field superficially at least, and the laminating was carried out to the wrap location, and is characterized by forming one electrode of said storage capacitance in said protection-from-light layer and this layer.

[Claim 17] One electrode of said storage capacitance formed in said protection-from-light layer and this layer is an electro-optic device according to claim 16 characterized by connecting said protection-from-light layer to the protection-from-light layer of a wrap 2nd.

[Claim 18] One electrode of said storage capacitance formed in said protection-from-light layer and this layer is an electro-optic device according to claim 16 or 17 characterized by having the protection-from-light layer of a wrap 3rd for said semi-conductor layer in the lower layer of said semi-conductor layer.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention belongs to the technical field of the electro-optic device of an active-matrix drive method, and belongs to the electro-optic device of the format equipped with the storage capacitance for holding the potential written especially in the pixel electrode, and the thin film transistor for pixel switching (TFT is called suitably below Thin Film Transistor:) into the laminated structure on a substrate, and the technical field of the manufacture approach.

[0002]

[Background of the Invention] In the electro-optic device of a TFT active-matrix drive format, if incident light is irradiated by the channel field of TFT for pixel switching established in each pixel, a current will occur in excitation by light and the property of TFT will change. It becomes important to shade the incident light to the channel field and its boundary region of TFT especially, in the case of the electro-optic device for the light valves of a projector, since the reinforcement of incident light is high. Then, the light-shielding film which specifies the opening field of each pixel conventionally established in the opposite substrate -- or it is constituted so that the starting channel field and its boundary region may be shaded with the data line which consists of metal membranes, such as aluminum, while passing through a TFT top. Moreover, the technique of decreasing the light which carries out incidence to a channel field by the light-shielding film formed in JP,9-33944,A from a-Si (amorphous silicon) with a large refractive index is indicated. Furthermore, the light-shielding film which consists of a refractory metal may be prepared also in the location (namely, under TFT) which counters on a TFT array substrate at TFT for pixel switching. Thus, if a light-shielding film is prepared also in the TFT bottom, when the rear-face reflection from a TFT array substrate side and two or more electro-optic devices are combined through prism etc. and it constitutes one optical system, it can prevent that the incident light which runs through prism etc. carries out incidence to TFT of the electro-optic device concerned from other electro-optic devices.

[0003] On the other hand, generally, if a scan signal is supplied to the gate electrode of TFT through the scanning line in this kind of electro-optic device, TFT will be made into an ON state and the picture signal supplied to the source field of a semi-conductor layer through the data line will be supplied to a pixel electrode through between the source-drain concerned of TFT. In order to cover a long time farther than the time amount made into this ON state and to hold the electrical potential difference of each picture signal supplied through TFT since only a short time is extremely performed for every pixel electrode through TFT, as for supply of such a picture signal, it is common to each pixel electrode that storage capacitance is added (to liquid crystal capacity etc. and juxtaposition). And such storage capacitance equips the capacity electrode which is installed from the conductive polish recon film which generally constitutes the drain field of TFT connected to the pixel electrode, and is made into pixel electrode potential, and this capacity electrode with the capacity line made into fixed potential including the electrode section by which opposite arrangement was carried out through the dielectric film, and is constituted.

[0004]

[Problem(s) to be Solved by the Invention] However, according to the various protection-from-light techniques mentioned above, there are the following troubles. That is, according to the technique which forms a light-shielding film on an opposite substrate and a TFT array substrate first, the protection from light to the light which looked at in three dimension, for example, has estranged considerably through a liquid crystal layer, an electrode, an interlayer insulation film, etc., and carries out incidence aslant to between both is not enough between a light-shielding film and a channel field. In addition, finally the multiple echo light in which the reflected light or this which requires the light which invaded in the electro-optic device from the field without a light-shielding film after being reflected by the inside (namely, near field facing a channel field) of a light-shielding film or the data line was further reflected by the inside of a light-shielding film or the data line may arrive at the channel field of TFT. Moreover, since the data line needs to arrange an interlayer insulation film thick among both to extent which sees superficially, and is formed in the shape of [ which intersects perpendicularly with the scanning line and is extended ] a stripe, and can disregard the bad influence of capacity coupling of the data line and a channel field according to the technique which shades with the data line, it is fundamentally difficult to fully shade. Moreover, according to the technique given in JP,9-33944,A, in order to form the a-Si film on a gate line, and to reduce the bad influence of capacity coupling of a gate electrode and the a-Si film, it is necessary to stack a comparatively thick interlayer insulation film among both. Consequently, while a laminated structure carries out complicated hypertrophy with a-Si film, an interlayer insulation film, etc. which are formed additionally, it is difficult to perform sufficient protection from light to slanting incident light and internal reflection light too. It takes for attaining highly-minute-izing of an electro-optic device, or detailed-ization of a pixel pitch, and according to the various conventional protection-from-light techniques mentioned above, it becomes more difficult to give sufficient protection from light, and there is a trouble that a flicker etc. will arise and the grace of a display image will fall by change of the transistor characteristics of TFT in order to meet a general request called high-definition-izing of a display image in recent years especially.

[0005] On the other hand, according to the technique which adds the storage capacitance mentioned above, there are the following troubles. Namely, although what a pixel numerical aperture is raised for (that is, the opening field which display light penetrates is extended in each pixel to the non-opening field in each pixel which display light does not penetrate) becomes important in this kind of electro-optic device, making a pixel pitch detailed for high-definition-izing of a display image Thus, the non-opening field of each pixel which can wire the scanning line and a capacity line becomes narrow with a raise in the numerical aperture of a pitch minutely pixel. For this reason, it becomes difficult to give sufficient conductivity for to make the storage capacitance of sufficient magnitude, the scanning line, or a capacity line, so that detailed-ization of a pixel pitch progresses. And if sufficient storage capacitance is not obtained or sufficient conductivity for the scanning line or a capacity line is not acquired, finally, the cross talk and ghost in a display image will increase, and the trouble of carrying out image quality degradation will arise.

[0006] Let it be a technical problem to offer the electro-optic device which this invention is made in view of an above-mentioned trouble, and it excels in lightfastness, and can make storage capacitance efficiently, and its manufacture approach.

[0007]

[Means for Solving the Problem] The scanning line and the data line which carry out a phase crossover on a substrate in order that the electro-optic device of this invention may solve the above-mentioned technical problem, The thin film transistor connected to this scanning line and the data line, and the pixel electrode connected to this thin film transistor, The storage capacitance containing the fixed potential side capacity electrode which opposite arrangement is carried out through a dielectric film, and is made into fixed potential at the pixel potential side capacity electrode which is connected to this pixel electrode and made into pixel electrode potential, and this pixel potential side capacity electrode, It has the cover layer of the semi-conductor layer which constitutes said thin film transistor by which looked

at the channel field superficially at least, and the laminating was carried out to the wrap location, and one electrode and said cover layer are formed from the same silicon layer among said pixel potential side capacity electrode and said fixed potential side capacity electrode.

[0008] according to the electro-optic device of this invention, a thin film transistor is seen superficially and covered with the cover layer which consists of various kinds of silicon layers, such as p-Si (polish recon film), a-Si (amorphous silicon film) or doped silicon, and non doped silicon, from the bottom namely, a substrate top -- setting -- from a top. Generally such a silicon layer wears the brown taste, and has the property in which the rate of light absorption absorbs light highly (namely, low [ permeability ]), compared with glass ingredients which constitute an interlayer insulation film, such as PSG (phosphorus silicate glass) and BSG (boron silicate glass). If it is a silicon layer here, unlike the case where it shades in metal layers, such as Ti (titanium) and Cr (chromium), only the part which is small and ends can approach a thin film transistor, and the stress generated between semi-conductor layers, gate electrode layers, etc. which constitute a thin film transistor can arrange it. That is, even if it arranges the cover layer which consists of the silicon layer concerned through the insulator layer between films on a thin film transistor, the stress generated the inside of manufacture and after product completion hardly poses a problem. If especially optical reinforcement is raised, since the need of it being necessary to make it thicker, detaching to a distance for the stress relaxation accompanying this, and arranging also in the case of a metal layer [ such ] for protection from light will come out, the cover layer which consists of a silicon layer is very advantageous. furthermore, the thing for which a cover layer is formed from a non doped silicon layer without conductivity -- or while forming from a silicon layer with conductivity, even if it carries out contiguity arrangement of a cover layer and the thin film transistor (especially the gate electrode and semi-conductor layer) mutually by dropping on fixed potential, capacity coupling between both hardly poses a problem Therefore, according to this invention, the cover layer in which contiguity arrangement is possible can perform protection from light to the light (for example, slanting incident light, internal reflection light, multiple echo light, return light from a rear face, etc.) which is going to carry out incidence to a channel field near the channel field concerned, without causing the problem concerning stress and capacity coupling. For this reason, according to this invention, since slanting incident light etc. can fully be shaded by the light-shielding film relatively arranged in the distance like the background technique mentioned above, it is very advantageous.

[0009] And according to this invention, the potential written in the pixel electrode through the data line and a thin film transistor can be comparatively held over long duration with the storage capacitance in which one electrode was formed from the same silicon layer as a cover layer in this way. That is, the storage capacitance concerned can be built, avoiding the complication or hypertrophy of a laminated structure by carrying out the laminating of the conductive layer chiefly used only as an electrode of storage capacitance additionally. Under the present circumstances, if one electrode is a fixed potential side capacity electrode, it is not necessary to separate and carry out patterning of a cover layer and one electrode irrespective of whether a part for the silicon layer which forms a cover layer is used as non doped silicon without conductivity, or it considers as doped silicon with conductivity. Moreover, what is necessary is just to let a part for the silicon layer which forms a cover layer be a non doped silicon layer without conductivity, if one electrode is a pixel potential side capacity electrode (floating potential is sufficient as the potential of a cover layer in this case). Or while using as a doped silicon layer with conductivity a part for the silicon layer which forms a cover layer, it is [ that what is necessary is to separate a cover layer and one electrode and just to carry out patterning ] good to drop a cover layer on fixed potential preferably in this case. In addition, as fixed potential, touch-down potential is sufficient and counterelectrode potential is sufficient. anyway, a cover layer gives conductivity and drops on fixed potential so that contiguity arrangement to a channel field may be possible -- or it is better not to give conductivity. Thus, storage capacitance is efficiently made and put in the field on the limited substrate, preventing that a laminated structure complicates or \*\*\*\*\*s as a whole, since the same silicon layer as a cover layer can be used as one electrode of storage

capacitance according to this invention, satisfying the conditions that it is desirable for the light absorption in a cover layer.

[0010] Attaining high numerical aperture-ization of a pitch minutely pixel especially with the storage capacitance efficiently made by coincidence, avoiding the problem that it is possible according to this invention to excel in lightfastness and to make storage capacitance efficiently the above result, a flicker etc. will arise by change of the transistor characteristics of a thin film transistor, and the grace of a display image will fall by the especially excellent lightfastness, the cross talk and ghost in a display image are reduced, and image quality can be improved.

[0011] In addition, the so-called bottom gate mold located in the channel field bottom is sufficient as the gate electrode with which the so-called top gate mold located in the channel field bottom is sufficient as the gate electrode which consists of a part of scanning line with an electrode, and it consists of a part of scanning line as such a thin film transistor. Moreover, the upper part of the scanning line or a lower part is sufficient as the location between layers of storage capacitance on a substrate. In addition, the upper part of the scanning line or a lower part is sufficient also as the location between layers of a pixel electrode on a substrate. Moreover, the thin film transistor bottom is sufficient also as a laminating location of a cover layer, and the bottom is sufficient. Furthermore, about the vertical relation on the substrate of a pixel potential side capacity electrode and a fixed potential side capacity electrode, whichever is sufficient, and the electrode of another side can consist of same film as each electric conduction film, such as a semi-conductor layer, the scanning line, the data line, a light-shielding film, and a pixel electrode. In addition, like the above, the electro-optic device of a transparency mold is sufficient as the electro-optic device of this invention constituted, and the electro-optic device of a reflective mold is sufficient as it.

[0012] In one mode of the electro-optic device of this invention, the thickness of said cover layer is 100nm - 300nm.

[0013] According to this mode, that rate of light absorption is fully practically raised by setting preferably 100nm - 300nm of thickness of a cover layer to about 200nm. And if it is thickness of this level, the stress generated by existence of the cover layer concerned will hardly pose a problem practically, either, but will be stopped by extent from which the level difference in the substrate side of the pixel electrode which originates in existence of a cover layer further and is generated hardly poses a problem practically, either.

[0014] In other modes of the electro-optic device of this invention, a part for the silicon layer which a part for the silicon layer which makes one [ said ] electrode has conductivity by doping an impurity, and makes said cover layer has conductivity smaller than one [ said ] electrode by not doping said impurity.

[0015] According to this mode, by doping an impurity, one electrode is that with conductivity (that is, it consists of doped silicon), and may function good as an electrode of storage capacitance. On the other hand, conductivity of a cover layer is small by not doping an impurity (that is, it consists of non doped silicon). For this reason, since capacity coupling hardly poses a problem even if it carries out contiguity arrangement of the cover layer at a thin film transistor (especially that gate electrode and semi-conductor layer), the incident light of the slant which is going to carry out incidence to a channel field etc. is absorbable to a channel field with the cover layer by which contiguity arrangement was carried out. According to this mode which divides both by the existence of a dope as compared with the case where the cover layer which has conductivity especially, and one electrode are separated in pattern, higher dependability is acquired.

[0016] In a mode with the small conductivity of this cover layer, said cover layer does not need to be separated from one [ said ] electrode in pattern.

[0017] That is, if constituted in this way, even if it does not dissociate from one electrode in pattern, since conductivity (consisting of non doped silicon) of a cover layer is small, also when one electrode is a pixel potential side capacity electrode, the potential of a cover layer will not sway according to pixel electrode potential. Therefore, most things for which potential fluctuation of a cover layer does a bad

influence to a channel field cannot be found. Or if one electrode is a fixed potential side capacity electrode, most things for which potential fluctuation of a cover layer does a bad influence to a channel field too cannot be found. Therefore, it is not necessary to cause the complication of a laminated structure and the dependability fall of equipment by separating in pattern the cover layer and one electrode which consist of same silicon layer. Since the area of one electrode of storage capacitance can be extended as compared with the case where it separates into coincidence, the increment in storage capacitance can be aimed at.

[0018] Or in other modes of this invention, a part for the silicon layer which makes one [ a part for the silicon layer which makes said cover layer, and / said ] electrode has conductivity by doping an impurity.

[0019] According to this mode, by doping an impurity, one electrode is that with conductivity (that is, it consists of doped silicon), and may function good as an electrode of storage capacitance. And a cover layer has conductivity by doping an impurity similarly (that is, it consists of doped silicon). Therefore, in this case, since capacity coupling hardly poses a problem by dropping a cover layer on fixed potential even if it carries out contiguity arrangement at a thin film transistor (especially that gate electrode and semi-conductor layer), the incident light of the slant which is going to carry out incidence to a channel field etc. is absorbable to a channel field with the cover layer by which contiguity arrangement was carried out.

[0020] In the mode which has conductivity in this cover layer, one [ said ] electrode is said fixed potential side capacity electrode, and said cover layer does not need to be separated from one [ said ] electrode in pattern.

[0021] Thus, if constituted, since one electrode will be a fixed potential side capacity electrode, let the cover layer which is not separated from the electrode of one of these in pattern be fixed potential. Therefore, even if it carries out contiguity arrangement of the cover layer at a thin film transistor (especially the gate electrode and semi-conductor layer), capacity coupling hardly poses a problem. Since the area of one electrode of storage capacitance can be extended as compared with the case where it separates into coincidence, the increment in storage capacitance can be aimed at.

[0022] Or in the mode with the small conductivity of these cover layers, or the mode which has conductivity in a cover layer, said cover layer may be separated from one [ said ] electrode in pattern.

[0023] Thus, first, if constituted, when the conductivity of a cover layer is a small mode, it is not because it is [ whether one electrode is a fixed potential side capacity electrode or ] a pixel potential side capacity electrode, but potential fluctuation of a cover layer can be reduced more certainly. moreover, the voice which has conductivity in a cover layer -- when like, it is not because it is [ whether one electrode is a fixed potential side capacity electrode or ] a pixel potential side capacity electrode, and if a cover layer with the conductivity separated from one electrode in pattern is made into fixed potential, even if it carries out contiguity arrangement of the cover layer at a thin film transistor (especially the gate electrode and semi-conductor layer), capacity coupling will hardly pose a problem. In addition, relaxation of the stress resulting from making both additionally in a laminated structure can be aimed at by separating both. In addition, such a cover layer may be separated in the shape of an island for every pixel.

[0024] In other modes of the electro-optic device of this invention, said fixed potential side capacity electrode is connected to fixed potential wiring.

[0025] According to this mode, since it connects with fixed potential wiring of the capacity line which is spread around the shape of a grid, and in the shape of a stripe for example, in an image display field, and is installed outside an image display field, and is dropped on touch-down potential or counterelectrode potential, let a fixed potential side capacity electrode be fixed potential certainly and stably.

[0026] Or in other modes of the electro-optic device of this invention, it has further the conductive upper light-shielding film which the laminating is carried out to said thin film transistor bottom on said substrate, and specifies the non-opening field of a pixel partially at least, and it connects with said upper light-shielding film, and said fixed potential side capacity electrode is dropped to fixed potential



through said upper light-shielding film.

[0027] According to this mode, the non-opening field of each pixel is partially prescribed at least by the upper light-shielding films, such as the shape of the shape of a grid by which the laminating was carried out to the transistor bottom, the shape of a stripe, and an island. And it becomes possible to achieve such two functions, reducing complication of a laminated structure, since there is conductivity in the starting upper light-shielding film and it has not only a protection-from-light function but a function as \*\*\*\* potential wiring. And by using the upper light-shielding film by which the laminating was especially carried out in this way to the thin film transistor bottom as fixed potential wiring, contact between the upper light-shielding film and a fixed potential side capacity electrode can be taken also in the part where it sees superficially on a substrate and a semi-conductor layer exists. Furthermore, since a silicon layer can be immediately stacked after dielectric film formation of storage capacitance by using the upper light-shielding film by which the laminating was carried out in this way to the thin film transistor bottom as fixed potential wiring, a production process top is also very advantageous.

[0028] Or in other modes of the electro-optic device of this invention, the laminating is carried out to said thin film transistor bottom on said substrate, and it has further the lower layer light-shielding film of wrap conductivity for said channel field from the this bottom, and it connects with said lower layer light-shielding film, and said fixed potential side capacity electrode is dropped to fixed potential through said lower layer light-shielding film.

[0029] According to this mode, the non-opening field of each pixel is partially prescribed at least by lower layer light-shielding films, such as the shape of the shape of a grid by which the laminating was carried out to the transistor bottom, the shape of a stripe, and an island. And it becomes possible to achieve such two functions, reducing complication of a laminated structure, since there is conductivity in the starting lower layer light-shielding film and it has not only a protection-from-light function but a function as \*\*\*\* potential wiring.

[0030] In other modes of the electro-optic device of this invention, the electrode of another side is formed from the same layer as the gate electrode layer which constitutes said thin film transistor among said pixel potential side capacity electrode and said fixed potential side capacity electrode.

[0031] Since according to this mode one electrode consists of same silicon layer as a cover layer and the electrode of another side consists of the same layer as the gate electrode layer which consists of conductive polish recon film, construction of storage capacitance is attained avoiding complication and hypertrophy of a laminated structure. In addition, what is necessary is just to dissociate in [ a gate electrode layer and the electrode of another side ] pattern in this case.

[0032] In other modes of the electro-optic device of this invention, the electrode of another side is formed from the same layer as said semi-conductor layer among said pixel potential side capacity electrode and said fixed potential side capacity electrode.

[0033] Since according to this mode one electrode consists of same silicon layer as a cover layer and the electrode of another side consists of the same layer as the semi-conductor layer which consists for example, of polish recon film, construction of storage capacitance is attained avoiding complication and hypertrophy of a laminated structure. In addition, what is necessary is just to form the electrode of another side from the drain field of a semi-conductor layer in this case (that is, it is not necessary to dissociate in [ a semi-conductor layer and the electrode of another side ] pattern).

[0034] In other modes of the electro-optic device of this invention, the electrode of another side is formed from the same layer as said pixel electrode among said pixel potential side capacity electrode and said fixed potential side capacity electrode.

[0035] Since according to this mode one electrode consists of same silicon layer as a cover layer and the electrode of another side consists of the same layer as the pixel electrode which consists for example, of ITO (Indium Tin Oxide) film, construction of storage capacitance is attained avoiding complication and hypertrophy of a laminated structure. In addition, since it does not only dissociate in pattern and the electrical installation between errors due to curvature and refraction is obtained

[ electrode / the pixel potential side capacity electrode, then / of another side / the electrode and pixel electrode ] in the electrode of another side in this case, it is advantageous.

[0036] The process which forms on a substrate the scanning line and the data line which carry out a phase crossover in order that the manufacture approach of the electro-optic device of this invention may solve the above-mentioned technical problem, The process which forms the thin film transistor connected to this scanning line and the data line, The process which forms the storage capacitance containing the process which forms the pixel electrode connected to this thin film transistor, and the fixed potential side capacity electrode which opposite arrangement is carried out through a dielectric film, and is made into fixed potential at the pixel potential side capacity electrode which is connected to said pixel electrode and made into pixel electrode potential, and this pixel potential side capacity electrode, It has the process which forms the cover layer of the semi-conductor layer which constitutes said thin film transistor by which looks at a channel field superficially at least, and a laminating is carried out to a wrap location. At the process which forms the process which forms said storage capacitance, and said cover layer, one electrode and said cover layer are formed from the same silicon layer among said pixel potential side capacity electrode and said fixed potential side capacity electrode.

[0037] According to the manufacture approach of the electro-optic device of this invention, the process which forms the scanning line and the data line, the process which forms a thin film transistor, the process which forms a pixel electrode, the process which forms storage capacitance, and the process which forms a cover layer get mixed up in the sequence according to the laminated structure of the electro-optic device concerned, or is performed to coincidence. At the process which forms the process which forms storage capacitance, and a cover layer especially here, from the same silicon layer, since one electrode and cover layer are formed among a pixel potential side capacity electrode and a fixed potential side capacity electrode, the electro-optic device of this invention mentioned above can be manufactured comparatively easily.

[0038] In other modes of the manufacture approach of the electro-optic device of this invention, conductivity is given to a part for the silicon layer which makes one [ said ] electrode at the process which forms said storage capacitance by the ion implantation which carries out the mask of the part for the silicon layer which makes said cover layer.

[0039] According to this mode, it is the cover layer which is not separated from one electrode in pattern, and the cover layer from which capacity coupling with a thin film transistor does not pose a problem can be manufactured comparatively easily.

[0040] The scanning line and the data line which carry out a phase crossover on a substrate in order that other electro-optic devices of this invention may solve the above-mentioned technical problem, The thin film transistor connected to this scanning line and the data line, and the pixel electrode connected to this thin film transistor, The storage capacitance containing the fixed potential side capacity electrode which opposite arrangement is carried out through a dielectric film, and is made into fixed potential at the pixel potential side capacity electrode which is connected to this pixel electrode and made into pixel electrode potential, and this pixel potential side capacity electrode, It has the protection-from-light layer which becomes with the silicon of the semi-conductor layer which constitutes said thin film transistor by which looked at the channel field superficially at least, and the laminating was carried out to the wrap location, and one electrode of said storage capacitance is formed in said protection-from-light layer and this layer.

[0041] Therefore, attaining high numerical aperture-ization of a pitch minutely pixel especially with the storage capacitance efficiently made by coincidence, avoiding the problem that it is possible to excel in lightfastness and to make storage capacitance efficiently, a flicker etc. will arise by change of the transistor characteristics of a thin film transistor, and the grace of a display image will fall by the especially excellent lightfastness, the cross talk and ghost in a display image are reduced, and image quality can be improved.

[0042] As for one electrode of said storage capacitance formed in said protection-from-light layer and

this layer, said protection-from-light layer may be connected to the protection-from-light layer of a wrap 2nd in such other electro-optic devices of this invention. Or one electrode of said storage capacitance formed in said protection-from-light layer and this layer may be equipped with the protection-from-light layer of a wrap 3rd for said semi-conductor layer in the lower layer of said semi-conductor layer.

[0043] Such an operation and other gains of this invention are made clear from the gestalt of the operation explained below.

[0044]

[Embodiment of the Invention] Hereafter, the operation gestalt of this invention is explained based on a drawing. Each following operation gestalt applies the electro-optic device of this invention to liquid crystal equipment.

[0045] (The 1st operation gestalt) The configuration of the electro-optic device in the 1st operation gestalt of this invention is explained with reference to drawing 4 from drawing 1. Drawing 1 is equal circuits, such as various components in two or more pixels formed in the shape of [ which constitutes the image display field of an electro-optic device ] a matrix, and wiring. Drawing 2 is a top view of two or more pixel groups where the TFT array substrate with which the data line, the scanning line, a pixel electrode, etc. were formed adjoins each other. Drawing 3 is the A-A' sectional view of drawing 2 R> 2, and drawing 4 is the B-B' sectional view of drawing 2. In addition, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, scales are made to have differed for each class or every each part material in drawing 3 and drawing 4.

[0046] In drawing 1, TFT30 for two or more pixels formed in the shape of [ which constitutes the image display field of the electro-optic device in this operation gestalt ] a matrix to carry out switching control of pixel electrode 9a and the pixel electrode 9a concerned is formed, and data-line 6a to which a picture signal is supplied is electrically connected to the source concerned of TFT30. The picture signals S1, S2, --, Sn written in data-line 6a may be supplied to line sequential, and you may make it supply them to this order for every group to two or more data-line 6a which adjoin each other. Moreover, scanning-line 3a is electrically connected to the gate of TFT30, and it consists of predetermined timing so that the scan signals G1, G2, --, Gm may be impressed to scanning-line 3a in pulse line sequential at this order. It connects with the drain of TFT30 electrically, and pixel electrode 9a writes in the picture signals S1, S2, --, Sn supplied from data-line 6a in TFT30 which is a switching element when only a fixed period closes the switch to predetermined timing. Fixed period maintenance of the picture signals S1, S2, --, Sn of the predetermined level written in the liquid crystal as an example of electrooptic material through pixel electrode 9a is carried out between the counterelectrodes (it mentions later) formed in the opposite substrate (it mentions later). When the orientation and order of molecular association change with the voltage levels impressed, liquid crystal modulates light and enables a gradation display. The transmission to incident light decreases according to the electrical potential difference impressed in the unit of each pixel when it was in no MARI White mode, if it is in NOMA reeve rack mode, the transmission to incident light will be increased according to the electrical potential difference impressed in the unit of each pixel, and light with the contrast according to a picture signal will carry out outgoing radiation from an electro-optic device as a whole. Here, in order to prevent the held picture signal leaking, storage capacitance 70 is added to the liquid crystal capacity and juxtaposition which are formed between pixel electrode 9a and a counterelectrode.

[0047] Especially with this operation gestalt, storage capacitance 70 is formed by carrying out opposite arrangement of the pixel potential side capacity electrode 71 connected to the drain (and pixel electrode 9a) of TFT30, and the fixed potential side capacity electrode 72 connected to an example slack capacity line 300 of fixed potential wiring which consists of a light-shielding film like the after-mentioned through a dielectric film. And either is formed from the same silicon layer as a wrap cover layer like the after-mentioned in the channel field of the semi-conductor layer which constitutes TFT30 among the pixel potential side capacity electrode 71 and the fixed potential side capacity electrode 72.

[0048] In drawing 2 , on the TFT array substrate of an electro-optic device, two or more transparent pixel electrode 9a (the profile is shown by dotted-line section 9a') is prepared in the shape of a matrix, and data-line 6a and scanning-line 3a are prepared respectively along the boundary of pixel electrode 9a in every direction.

[0049] Moreover, scanning-line 3a is arranged so that channel field 1a' shown in the slash field of a Fig. Nakamigi riser among semi-conductor layer 1a may be countered, and scanning-line 3a functions as a gate electrode (with this operation gestalt, especially scanning-line 3a is broadly formed in the part used as the gate electrode concerned). Thus, TFT30 for pixel switching by which opposite arrangement of the scanning-line 3a was carried out as a gate electrode is formed in the crossing part of scanning-line 3a and data-line 6a at channel field 1a', respectively. In addition, although TFT30 and storage capacitance 70 grade are illustrated in the detail only about the upper right pixel among four pixels, TFT30 and storage capacitance 70 grade are made from drawing 2 by each pixel like this in fact.

[0050] the conductive upper light-shielding film 90 which constitutes the capacity line 300 shown in drawing 1 from this operation gestalt is formed in the shape of a grid along the gap of each pixel electrode (the after-mentioned -- like -- a substrate top -- setting -- the upper layer side of TFT30), and lower layer light-shielding film 11a is prepared in the shape of a grid similarly (the after-mentioned -- like -- a substrate top -- setting -- the lower layer side of TFT30). These upper light-shielding films 90 and lower layer light-shielding film 11a consist of the metal simple substance containing at least one of refractory metals, such as Ti (titanium), Cr (chromium), W (tungsten), Ta (tantalum), Mo (molybdenum), and Pb (lead), an alloy, metal silicide, a polysilicon side, a thing that carried out the laminating of these, respectively. Especially with this operation gestalt, since the upper light-shielding film 90 serves also as the function as a capacity line 300, it is necessary to form the upper light-shielding film 90 at least from a conductive ingredient among these light-shielding films but, and if it constitutes so that lower layer light-shielding film 11a may serve as the function as a capacity line 300, it is necessary to form lower layer light-shielding film 11a from a conductive ingredient at least conversely.

[0051] As shown in drawing 4 from drawing 2 , especially with this operation gestalt, the cover layer 80 which consists of a silicon layer is formed in the upper layer side near the gate electrode of TFT30, and channel field 1a' is covered from the bottom. Furthermore, the pixel potential side capacity electrode 71 of storage capacitance 70 is formed from the same layer as scanning-line 3a, and the fixed potential side capacity electrode 72 of storage capacitance 70 is formed from the same silicon layer as a cover layer 80. By carrying out opposite arrangement of these pixel potential side capacity electrodes 71 and the fixed potential side capacity electrode 72 through a dielectric film 74, the storage capacitance 70 of the abbreviation mold for L characters containing the part extended along with data-line 6a and scanning-line 3a to the field which laps with field and scanning-line 3a which sees superficially and mainly laps with data-line 6a is built. Moreover, a dielectric film 74 consists of silicon oxide film, such as comparatively thin HTO film of about 5-200nm of thickness, and LTO film, or a silicon nitride film. As long as the dependability of thickness is fully acquired from a viewpoint which increases storage capacitance 70, a dielectric film 74 is so good that it is thin.

[0052] Moreover, a part for the silicon layer which makes the fixed potential side capacity electrode 72 especially with this operation gestalt has conductivity by doping an impurity, and a part for the silicon layer which makes the cover layer 80 which consists of same silicon layer as this does not have conductivity by not doping an impurity. And it does not dissociate in [ the cover layer 80 which consists of these same silicon layers, and the fixed potential side capacity electrode 72 ] pattern.

[0053] As shown in drawing 2 and drawing 3 , data-line 6a is electrically connected to 1d of high concentration source fields among semi-conductor layer 1a which consists of polish recon film through a contact hole 81.

[0054] Moreover, as shown in drawing 2 and drawing 4 , the fixed potential side capacity electrode 72 is connected to the upper light-shielding film 90 which constitutes the capacity line 300 of drawing 1 through the contact hole 84. It is installed in the perimeter from the image display field where pixel

electrode 9a has been arranged, it connects with the constant source of potential electrically, and let the upper light-shielding film 90 which functions as a capacity line 300 be fixed potential. The constant source of potential of a positive supply or a negative supply supplied to the data-line drive circuit (it mentions later) which controls the sampling circuit which supplies the scanning-line drive circuit (it mentions later) and picture signal for supplying the scan signal for driving TFT30 to scanning-line 3a as a constant source of potential to data-line 6a is sufficient, and the constant potential supplied to the counterelectrode of an opposite substrate is also available.

[0055] In addition, in order to avoid that the potential fluctuation does a bad influence to TFT30 also about lower layer light-shielding film 11a prepared in the TFT30 bottom, it is good to install in the perimeter from an image display field, and to connect with the constant source of potential like the upper light-shielding film 90.

[0056] Furthermore, as shown in drawing 4 from drawing 2, pixel electrode 9a is electrically connected to high concentration drain field 1e among semi-conductor layer 1a through contact holes 83 and 85 by relaying the pixel potential side capacity electrode 71.

[0057] In addition, since the depth is comparatively deep in drawing 3, a contact hole 81 may consist of two or more in-series contact holes as a junction layer using other conductive layers (for example, the same layer as the same layer as the pixel potential side capacity electrode 71, and the same layer and the fixed potential side capacity electrode 72, and the upper light-shielding film 90) which exist in the middle. Similarly, since the depth is comparatively deep in drawing 4, a contact hole 85 may consist of two or more in-series contact holes as a junction layer using other conductive layers (for example, the same layer as the same layer as the same layer as the fixed potential side capacity electrode 72, and the upper light-shielding film 90, and data-line 6a) which exist in the middle. Thus, between both is comparatively connectable good in two or more in-series contact holes of a minor diameter, avoiding the technical difficulty which connects between both in one contact hole, even if the distance between layers is long to about 1000nm, if other conductive layers which exist in the middle are used as a junction layer, it will become possible [ raising a pixel numerical aperture ], and etching at the time of contact hole puncturing will run, for example, and it is useful also to prevention. In addition, it is easy to be even if it prepares the film for etching thrust omission prevention in the semi-conductor layer 1a and pixel potential side capacity electrode 71 bottom (in the case of a contact hole 81) (in the case of a contact hole 85) in the shape of an island in view of the difficulty of depth control of etching about the contact hole 81 where depth is deep in this way, or 85.

[0058] As shown in drawing 3 and 4, the electro-optic device is equipped with the transparent TFT array substrate 10 and the transparent opposite substrate 20 by which opposite arrangement is carried out at this. The TFT array substrate 10 consists of for example, a quartz substrate, a glass substrate, and a silicon substrate, and the opposite substrate 20 consists of a glass substrate or a quartz substrate. Pixel electrode 9a is prepared in the TFT array substrate 10, and the orientation film 16 with which predetermined orientation processing of rubbing processing etc. was performed is formed in the bottom. Pixel electrode 9a consists of transparent conductive thin films, such as for example, ITO (Indium Tin Oxide) film. Moreover, the orientation film 16 consists of organic thin films, such as for example, a polyimide thin film.

[0059] On the other hand, it crosses to the opposite substrate 20 all over the, the counterelectrode 21 is formed, and the orientation film 22 with which predetermined orientation processing of rubbing processing etc. was performed is formed in the bottom. A counterelectrode 21 consists of transparent conductive thin films, such as for example, ITO film. Moreover, the orientation film 22 consists of organic thin films, such as a polyimide thin film.

[0060] You may make it form the 2nd light-shielding film 23 of the shape of the shape of a grid, and a stripe, as further shown in the opposite substrate 20 at drawing 3 and drawing 4. By taking such a configuration, it prevents certainly that incident light invades into channel field 1a', low concentration source field 1b, and low concentration drain field 1c from the opposite substrate 20 side with the upper

light-shielding film 90. furthermore, the field where incident light is irradiated to the 2nd light-shielding film 23 at least -- high -- it serves to prevent the temperature rise of an electro-optic device by forming by the film [ \*\*\*\* ]. In addition, with this operation gestalt, the part which met data-line 6a among the protection-from-light fields of each pixel may be shaded by data-line 6a of the protection-from-light nature which consists of aluminum film etc.

[0061] Thus, between the TFT array substrates 10 and the opposite substrates 20 which have been arranged so that pixel electrode 9a and the counterelectrode 21 which were constituted may meet, the liquid crystal which is an example of electrooptic material is enclosed with the space surrounded by the below-mentioned sealant, and the liquid crystal layer 50 is formed. The liquid crystal layer 50 takes a predetermined orientation condition with the orientation film 16 and 22 in the condition that the electric field from pixel electrode 9a are not impressed. The liquid crystal layer 50 consists of liquid crystal which mixed the pneumatic liquid crystal of a kind or some kinds. It is the adhesives which consist of a photo-setting resin or thermosetting resin in order that a sealant may stick the TFT array substrate 10 and the opposite substrate 20 around those, and gap material, such as glass fiber for making distance between both substrates into a predetermined value or a glass bead, is mixed.

[0062] Furthermore, the substrate insulator layer 12 is formed in the bottom of TFT30 for pixel switching. The substrate insulator layer 12 has the function to prevent degradation of the property of TFT30 for pixel switching with the dry area at the time of polish of the front face of the TFT array substrate 10, the dirt which remains after washing, by being formed all over the TFT array substrate 10.

[0063] In drawing 3 TFT30 for pixel switching It has LDD (Lightly Doped Drain) structure. Channel field 1a' of semi-conductor layer 1a in which a channel is formed of the electric field from scanning-line 3a and concerned scanning-line 3a, 1d list of high concentration source fields of low concentration source field 1b of the insulating thin film 2 containing the gate dielectric film with which scanning-line 3a and semi-conductor layer 1a are insulated, and semi-conductor layer 1a and low concentration drain field 1c, and semi-conductor layer 1a is equipped with high concentration drain field 1e.

[0064] On the fixed potential side capacity electrode 72, the 1st interlayer insulation film 41 with which the contact hole 85 which leads to the contact hole 81 which leads to 1d of high concentration source fields, the contact hole 84 which leads to the fixed potential side capacity electrode 72, and the pixel potential side capacity electrode 71 was punctured respectively is formed.

[0065] The upper light-shielding film 90 is formed on the 1st interlayer insulation film 41, and the 2nd interlayer insulation film 42 with which the contact hole 85 which leads to the contact hole 81 which leads to 1d of high concentration source fields, and the pixel potential side capacity electrode 71 was punctured respectively is formed on these.

[0066] Data-line 6a is formed on the 2nd interlayer insulation film 42, and the 3rd interlayer insulation film 43 with which the contact hole 85 which leads to the pixel potential side capacity electrode 71 was formed is formed on these. Pixel electrode 9a is prepared in the top face of the 3rd interlayer insulation film 43 constituted in this way.

[0067] According to this operation gestalt constituted as mentioned above, if incident light tends to carry out incidence channel field 1a' of TFT30, and near the from the opposite substrate 20 side, it will shade by the 2nd light-shielding film 23, data-line 6a, and the upper light-shielding film 90. On the other hand, from the TFT array substrate 10 side, if return light tends to carry out incidence channel field 1a' of TFT30, and near the It shades by lower layer light-shielding film 11a (in combining two or more electro-optic devices by the projector for the color displays of a double plate type etc. through prism etc. and constituting one optical system especially). since the return light which consists of an incident light part which runs through prism etc. from other electro-optic devices is powerful, it is effective. . And in separating the distance between layers from TFT(s)30, such as slanting incident light, internal reflection light, and multiple echo light, and shading, it absorbs about a part for Mitsunari with the thin protection-from-light effectiveness by the cover layer 80 by which the laminating was carried out to TFT30 by approaching. These results, most things which the property of TFT30 deteriorates by optical

leak are lost, and very high lightfastness is acquired with the electro-optic device concerned. That is, with this operation gestalt, since the contiguity arrangement to TFT30 is possible in a cover layer 80, without causing the problem concerning stress and capacity coupling, the cover layer 80 concerned fully raises lightfastness.

[0068] And especially with this operation gestalt, the amount of [ which the amount of / which makes the fixed potential side capacity electrode 72 / silicon layer consists of doped silicon which has conductivity by doping an impurity, and makes a cover layer 80 ] silicon layer consists of non doped silicon without conductivity by not doping an impurity like the above-mentioned. For this reason, even if it carries out contiguity arrangement of the cover layer 80 at TFT30, since it does not become a problem further, and capacity coupling can carry out contiguity arrangement of the cover layer 80 further to channel field 1a', it is very advantageous.

[0069] The rate of light absorption is fully practically raised by setting preferably 100nm - 300nm of thickness of such a cover layer to about 200nm. The stress generated by existence of a cover layer 80 in coincidence hardly poses a problem practically, either, and the level difference in the substrate side (front face of the 3rd interlayer insulation film 43) of pixel electrode 9a which originates in existence of a cover layer 80 further, and is generated hardly poses a problem practically, either. Moreover, it will be convenient if there is thickness of this level also as a fixed potential side capacity electrode 72. And what is necessary is to take into consideration synthetically the effect of the permeability (rate of light absorption) called for according to an equipment specification, a level difference, stress, etc., and just to set it up about more concrete thickness.

[0070] Furthermore, according to this operation gestalt, the potential written in pixel electrode 9a through data-line 6a and TFT30 can be comparatively held over long duration with the storage capacitance 70 in which the fixed potential side capacity electrode 72 was formed from the same silicon layer as a cover layer 80. That is, storage capacitance 70 is efficiently made and put in the field on the limited TFT array substrate 10, avoiding the complication or hypertrophy of a laminated structure by carrying out the laminating of the conductive layer chiefly used only as an electrode of storage capacitance 70 additionally.

[0071] Especially with this operation gestalt, the fixed potential side capacity electrode 72 Since it is dropped on fixed potential by connecting with the upper light-shielding film 90 by which the laminating was carried out to the upper layer side of TFT30 Contact between the upper light-shielding film 90 and the fixed potential side capacity electrode 72 can be taken also in the part where it sees superficially on a substrate and semi-conductor layer 1a exists (that is, in order to avoid a contact hole 84, it sees superficially and it is not necessary to bundle semi-conductor layer 1a, to have put enough, and to make it small). Furthermore, by using the upper light-shielding film 90 by which the laminating was carried out in this way to the upper layer side of TFT30 as a capacity line 300 (referring to drawing 1 ) In the manufacture process of the electro-optic device concerned mentioned later after forming the dielectric film 74 of storage capacitance 70, immediately (--- namely, --- without it inserts the activity which punctures the contact hole for connecting with fixed potential wiring with the bottom ---) --- the profits that the silicon layer used as a cover layer 80 and the fixed potential side capacity electrode 72 can be stacked are also obtained.

[0072] In addition, especially with this operation gestalt, since the construction area of storage capacitance 70 can be extended as compared with the case where it dissociates while it is not necessary to cause the complication of a laminated structure and the dependability fall of equipment by separating these in pattern, since it does not dissociate in [ the cover layer 80 which consists of same silicon layer, and the fixed potential side capacity electrode 72 ] pattern, the increment in storage capacitance 70 can be aimed at.

[0073] Although a level difference arises with the operation gestalt explained above to the field which met data-line 6a and scanning-line 3a in the substrate side (namely, front face of the 3rd interlayer insulation film 43) of pixel electrode 9a by carrying out the laminating of many conductive layers The

TFT array substrate 10, the substrate insulator layer 12, the 1st interlayer insulation film 41, the 2nd interlayer insulation film 42, and the 3rd interlayer insulation film 43 are trenched. By embedding wiring and the TFT30 grade of data-line 6a etc., may perform flattening processing and grinding the level difference of the top face of the 3rd interlayer insulation film 43 or the 2nd interlayer insulation film 42 by CMP (Chemical Mechanical Polishing) processing etc. -- or the flattening processing concerned may be performed by forming in Taira and others using organic [ SOG ].

[0074] Furthermore, although TFT30 for pixel switching has LDD structure with the operation gestalt explained above as preferably shown in drawing 3 , you may be TFT of the self aryne mold which may have the offset structure which does not drive an impurity into low-concentration source field 1b and low-concentration drain field 1c, drives in an impurity by high concentration by using as a mask the gate electrode which consists of a part of scanning-line 3a, and forms the high-concentration source and a drain field in self align. Moreover, although considered as the single gate structure which has arranged one gate electrode of TFT30 for pixel switching among 1d [ of high concentration source fields ], and high concentration drain field 1e with this operation gestalt, two or more gate electrodes may be arranged among these. Thus, if TFT is constituted above the dual gate or the triple gate, the leakage current of a joint with a channel, the source, and a drain field can be prevented, and the current at the time of OFF can be reduced.

[0075] (Manufacture process) Next, the manufacture process of the electro-optic device in the 1st operation gestalt with the configuration like \*\*\*\* is explained with reference to drawing 5 and drawing 6 . It is process drawing which drawing 5 R> 5 and drawing 6 make each class by the side of the TFT array substrate in each process in the manufacture process of the electro-optic device of the 1st operation gestalt correspond to the A-A'cross-section and B-B' cross section of drawing 2 like drawing 4 and drawing 5 here, and is shown.

[0076] As first shown in the process (1) of drawing 5 , the TFT array substrates 10, such as a quartz substrate, hard glass, and a silicon substrate, are prepared. Here, preferably, annealing treatment is carried out at inert gas ambient atmospheres, such as N<sub>2</sub> (nitrogen), and an about 900–1300-degree C elevated temperature, and it pretreats so that distortion produced in the TFT array substrate 10 in the elevated-temperature process carried out behind may decrease. and the whole surface of the TFT array substrate 10 processed in this way -- metal alloy film, such as metal metallurgy group silicide, such as Ti, Cr, W, Ta, Mo, and Pd, -- sputtering -- about 100–500nm thickness -- the light-shielding film of about 200nm thickness is formed preferably. And by the photolithography and etching, lower layer light-shielding film 11a of the \*\*\*\* predetermined pattern shown in drawing 2 is formed.

[0077] Then, the substrate insulator layer 12 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, silicon oxide film, etc. using TEOS (tetrapod ethyl orthochromatic silicate) gas, TEB (tetrapod ethyl boat rate) gas, TMOP (tetrapod methyl oxy-FOSU rate) gas, etc. with ordinary pressure or a reduced pressure CVD method is formed on lower layer light-shielding film 11a. The thickness of this substrate insulator layer 12 may be about 500–2000nm.

[0078] Then, about 450–550 degrees C of amorphous silicon film are preferably formed comparatively on the substrate insulator layer 12 with the reduced pressure CVD (for example, CVD with a pressure of about 20–40Pa) using the mono-silane gas of flow rate about 400 to 600 cc/min, disilane gas, etc. of about 500 degrees C in a low-temperature environment. Then, in nitrogen-gas-atmosphere mind, at about 600–700 degrees C, preferably, solid phase growth of the polish recon film 1 is carried out by \*\*\*\*\* which performs annealing treatment of 4 – 6 hours for about 1 to 10 hours until it becomes the thickness of about 100nm preferably in about 50–200nm thickness. As an approach of carrying out solid phase growth, the annealing treatment using RTA (Rapid Thermal Anneal) is sufficient, and the laser annealing using an excimer laser etc. is sufficient. Under the present circumstances, according to whether TFT30 for pixel switching is used as an n channel mold, or it is made a p channel mold, the dopant of V group element or an III group element may be slightly doped by an ion implantation etc. And semi-conductor layer 1a which has the \*\*\*\* predetermined pattern shown in drawing 2 by the



photolithography and etching is formed.

[0079] next, semi-conductor layer 1a which constitutes TFT30 as shown in a process (2) -- the temperature of about 900–1300 degrees C, and oxidizing thermally with the temperature of about 1000 degrees C preferably -- or a reduced pressure CVD method etc. -- or the insulating thin film 2 which consists of a monolayer, or the multilayer high-temperature-oxidation silicon film (HTO film) and a multilayer silicon nitride film (gate dielectric film is included) is formed by carrying out by continuing both. consequently, the thickness of semi-conductor layer 1a -- the thickness of about 30–150nm -- desirable -- the thickness of about 35–50nm -- becoming -- the thickness of the insulating thin film 2 -- the thickness of about 20–150nm -- it becomes the thickness of about 30–100nm preferably.

[0080] Then, a contact hole 83 is punctured by dry etching to the insulating thin film 2, such as reactive ion etching and reactant ion beam etching. Furthermore, the polish recon film is deposited with a reduced pressure CVD method etc., thermal diffusion of Lynn (P) is carried out further, and this polish recon film is electric-conduction-ized. Or the doped silicon film which introduced P ion into membrane formation and coincidence of this polish recon film may be used. The thickness of this polish recon film is about 300nm preferably in about 100–500nm thickness. And coincidence formation of scanning-line 3a of the \*\*\*\* predetermined pattern shown in drawing 2 and the pixel potential side capacity electrode 71 is carried out by the photolithography and etching.

[0081] Then, when setting TFT30 to TFT of an n channel mold with LDD structure, in order to form low concentration source field 1b and low concentration drain field 1c in semi-conductor layer 1a first, the dopant of V group elements, such as P, is doped by low concentration, using scanning-line 3a (gate electrode) as a mask (with for example, dose which is one to  $3 \times 10^{13}$  /cm<sup>2</sup> about P ion). Thereby, semi-conductor layer 1a under scanning-line 3a becomes channel field 1a'. The pixel potential side capacity electrode 71 and scanning-line 3a are also formed into low resistance by the dope of this impurity. furthermore, in order to form 1d of high concentration source fields and high concentration drain field 1e which constitute TFT30 for pixel switching, after forming the resist layer 600 on scanning-line 3a with a mask with wide width of face rather than scanning-line 3a, similarly the dopant of V group elements, such as P, is doped by high concentration (for example, P ion -- the dose of one to  $3 \times 10^{15}$  /cm<sup>2</sup>). Moreover, to semi-conductor layer 1a, when using TFT30 for pixel switching as a p channel mold, in order to form 1d of high concentration source fields, and high concentration drain field 1e in low concentration source field 1b and a low concentration drain field 1c list, the dopant of III group elements, such as B, is used and doped. In addition, it is good also as TFT of offset structure, without, for example, performing a low-concentration dope, and it is good also as TFT of a self aryne mold by the ion-implantation technique using P ion, B ion, etc., using scanning-line 3a as a mask. The pixel potential side capacity electrode 71 and scanning-line 3a are also further formed into low resistance by the dope of this impurity.

[0082] In addition, in parallel to these component formation processes of TFT30, circumference circuits with the complementary-type structure which consists of an n channel mold TFT and a p channel mold TFT, such as a data-line drive circuit and a scanning-line drive circuit, may be formed in the periphery on the TFT array substrate 10.

[0083] Next, as shown in a process (3), the dielectric film 74 which consists of high-temperature-oxidation silicon film (HTO film) or a silicon nitride film by the reduced pressure CVD method, a plasma-CVD method, etc. is deposited [ the pixel potential side capacity electrode 71 and a scanning-line 3a list ] on the insulating thin film 2 at comparatively thin 25nm or more thickness of 50nm or less. However, like the case of the insulating thin film 2, a dielectric film 74 may constitute monolayer or multilayers either, and can be formed with various kinds of well-known techniques used for generally forming the gate dielectric film of TFT. And since storage capacitance 70 becomes large so that a dielectric film 74 is made thin, on condition that defects, such as a film tear, do not arise, if a dielectric film 74 is formed so that it may become the very thin insulator layer of 50nm or less of thickness, the effectiveness of this operation gestalt can be increased after all.

[0084] Then, after depositing a polish recon layer without conductivity with a reduced pressure CVD method etc. on a dielectric film 74, it considers as the silicon layer of the predetermined pattern which contains \*\*\*\* cover layer [ which was shown in drawing 2 ] 80, and fixed potential side capacity electrode 72' (electrode before conductivity is given) by the photolithography and etching. As thickness of the silicon layer in this case, although 100nm or more 300nm or less extent is desirable, like the above-mentioned, the effect of the permeability (rate of light absorption) called for according to an equipment specification, a level difference, stress, etc. is synthetically taken into consideration, and is set up.

[0085] Next, at a process (4), by the photolithography and etching, after forming the resist 601 which carries out the mask of the part for the silicon layer used as a cover layer 80, ion implantation is performed from the direction shown by the arrow head 600, and fixed potential side capacity electrode 72' is formed into low resistance. That is, the fixed potential side capacity electrode 72 which consists of doped silicon is completed. Under the present circumstances, it is not doped about a cover layer 80. That is, a cover layer 80 consists of non doped silicon.

[0086] Next, the 1st interlayer insulation film 41 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, silicon oxide film, etc. using ordinary pressure or a reduced pressure CVD method, TEOS gas, etc. after removing a resist 500, as shown in the process (5) of drawing 6 is formed. The thickness of the 1st interlayer insulation film 41 is about 500–1500nm.

[0087] Furthermore, a contact hole 84 is punctured by dry etching to the 1st interlayer insulation film 41, such as reactive ion etching and reactant ion beam etching. Then, the whole surface on the 1st interlayer insulation film 41, by sputtering, after forming in about 100–500nm thickness, a photolithography and etching are performed and the upper light-shielding film 90 which has the \*\*\*\* predetermined pattern shown in drawing 2 is formed for metal alloy film, such as metal metallurgy group silicide, such as Ti, Cr, W, Ta, Mo, and Pd.

[0088] Next, at a process (6), the 2nd interlayer insulation film 42 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, silicon oxide film, etc. is formed on the upper light-shielding film 90 using ordinary pressure or a reduced pressure CVD method, TEOS gas, etc. The thickness of the 2nd interlayer insulation film 42 is about 500–1500nm.

[0089] Then, a contact hole 81 is punctured by dry etching to the 2nd interlayer insulation film 42, such as reactive ion etching and reactant ion beam etching. Under the present circumstances, the contact hole for connecting with wiring which illustrates neither scanning-line 3a nor the upper light-shielding film 90 in a substrate boundary region can also be punctured to the 2nd interlayer insulation film 42 according to the same process as a contact hole 81. Then, it deposits on about 300nm preferably in about 100–500nm thickness by sputtering etc. the whole surface on the 1st interlayer insulation film 41 by making low resistance metal metallurgy group silicide, such as aluminum of protection-from-light nature, etc. into a metal membrane. And data-line 6a which has the \*\*\*\* predetermined pattern shown in drawing 2 by the photolithography and etching is formed.

[0090] Next, as shown in a process (7), the 3rd interlayer insulation film 43 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, silicon oxide film, etc. is formed using ordinary pressure or a reduced pressure CVD method, TEOS gas, etc. so that a data-line 6a top may be covered. The thickness of the 3rd interlayer insulation film 43 is about 500–1500nm.

[0091] Then, a contact hole 85 is punctured by dry etching to the 3rd interlayer insulation film 43, such as reactive ion etching and reactant ion beam etching.

[0092] Then, transparent conductive thin films, such as ITO film, are deposited by spatter processing etc. on the 3rd interlayer insulation film 43 at the thickness of about 50–200nm. And pixel electrode 9a which has the \*\*\*\* predetermined pattern shown in drawing 2 by the photolithography and etching is formed. In addition, when using the liquid crystal equipment concerned for the liquid crystal equipment of a reflective mold, pixel electrode 9a may be formed from an opaque ingredient with high reflection factors, such as aluminum.

[0093] Then, after applying the coating liquid of the orientation film of a polyimide system on pixel electrode 9a, the orientation film 16 (refer to drawing 3 and drawing 4 ) is formed by performing rubbing processing in the predetermined direction so that it may have a predetermined pre tilt angle etc.

[0094] On the other hand, about the opposite substrate 20 shown in drawing 3 and drawing 4 , a glass substrate etc. is prepared first, and after the 2nd light-shielding film 23 and the light-shielding film (refer to drawing 14 and drawing 15 ) as a frame carry out the spatter of the chromium metal, they are formed through a photolithography and etching. In addition, these light-shielding films do not need to be conductivity and may form others, carbon, and Ti, such as Cr, nickel, and aluminum, from ingredients, such as resin black distributed to the photoresist. [ metallic material ] In addition, on the TFT array substrate 10, if data-line 6a, a cover layer 80, lower layer light-shielding film 11a, etc. prescribe a protection-from-light field, the 2nd light-shielding film 23 on the opposite substrate 20 can be excluded.

[0095] Then, a counterelectrode 21 is formed by spatter processing etc. all over the opposite substrate 20 by depositing transparent conductive thin films, such as ITO, on the thickness of about 50–200nm. Furthermore, after applying the coating liquid of the orientation film of a polyimide system all over a counterelectrode 21, the orientation film 22 (refer to drawing 3 and drawing 4 ) is formed by performing rubbing processing in the predetermined direction so that it may have a predetermined pre tilt angle etc.

[0096] Finally, the liquid crystal with which the TFT array substrate 10 and the opposite substrate 20 with which each class was formed as mentioned above are stuck by the sealant (refer to drawing 14 and drawing 15 ) so that the orientation film 16 and 22 may meet, and they come to mix two or more kinds of pneumatic liquid crystals to the space between both substrates by vacuum suction etc. is attracted, and the liquid crystal layer 50 of predetermined thickness is formed.

[0097] Since a cover layer 80 and the fixed potential side capacity electrode 72 are formed from the same silicon layer in this manufacture process the process (3) of drawing 5 , and (4) as explained above, the electro-optic device of the 1st operation gestalt mentioned above can be manufactured comparatively easily. Especially, conductivity can be given only to a part for the silicon layer which makes the fixed potential side capacity electrode 72 at a process (4) by the ion implantation which carries out the mask of the part for the silicon layer which makes a cover layer 80, without giving conductivity to a cover layer 80. It is the cover layer 80 which is not separated in pattern by this, and the cover layer 80 without the conductivity from which capacity coupling with TFT30 does not pose a problem even if it carries out contiguity arrangement at TFT30 can be manufactured comparatively easily.

[0098] (The 2nd operation gestalt) Next, with reference to drawing 9 , the 2nd operation gestalt of the electro-optic device of this invention is explained from drawing 7 . It is the A-A'-A [ in / it is a sectional view and / in drawing 9 / the modification ]' sectional view in which drawing 7's being a top view which is the pixel of the TFT array substrate with which the data line, the scanning line, a pixel electrode, etc. were formed, and showing the main laminated structures centering on a cover layer [ in / in drawing 8 / drawing 7 ] here. In addition, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, scales are made to have differed suitably for each class or every each part material in drawing 8 and drawing 9 . Moreover, in drawing 9 , the same reference mark is given to the same component as drawing 1 to drawing 3 (the 1st operation gestalt) from drawing 7 , and the explanation is omitted.

[0099] As shown in drawing 7 and drawing 8 , with the 2nd operation gestalt, unlike the 1st operation gestalt, the upper light-shielding film 90 does not exist (in connection with this, the 2nd interlayer insulation film 42 and a contact hole 84 do not exist further), but instead, it connects with lower layer light-shielding film 11a through a contact hole 86, and the fixed potential side capacity electrode 172 which consists of same silicon layer as a cover layer 80 is dropped to fixed potential. Moreover, from the conductive polish recon film part installed [ a / high concentration drain field 1 of semi-conductor layer 1a ] from the same layer as scanning-line 3a, the pixel potential side capacity electrode 171 is formed, and storage capacitance 170 is built by opposite arrangement of this pixel potential side capacity

electrode 171 and the fixed potential side capacity electrode 172 being carried out through a dielectric film 174. Furthermore, about the flat-surface configuration of semi-conductor layer 1a, near [ in drawing 8 ] upper limit is shortened a little, and the part which makes the pixel potential side capacity electrode 171 so that storage capacitance 170 may be increased is installed by the field which met the scanning line so that a contact hole 86 can be punctured (on the inside of drawing 8 , and right-hand side). Moreover, the contact hole 85 from pixel electrode 9a is punctured near the right end in drawing 8 of semi-conductor layer 1a. On the other hand, the insulating thin film 2 containing the gate dielectric film 2 in this field is removed by etching so that the dielectric film of storage capacitance 170 may not be thickened. About other configurations, it is the same as that of the case of the 1st operation gestalt shown in drawing 4 from drawing 2 including the configuration of pixel electrode 9a currently omitted by drawing 8 , and opposite substrate 20 grade.

[0100] Therefore, according to the 2nd operation gestalt, lower layer light-shielding film 11a which specifies the non-opening field of each pixel partially at least has not only a protection-from-light function but a function as a capacity line 300 shown in drawing 1 . And like the case of the upper light-shielding film 90 in the 1st operation gestalt, from the image display field where pixel electrode 9a has been arranged, such lower layer light-shielding film 11a is installed in the perimeter, and is preferably connected with the constant source of potential electrically.

[0101] In addition, it may make only to the field which laps with data-line 6a, without making storage capacitance 170 even to the field which laps with scanning-line 3a, as shown in drawing 9 (in L character mold) (to rectangle). In this case, the corniform section installed from high concentration drain field 1e of semi-conductor layer 1a is made to project under pixel electrode 9a, it sets, and the contact hole 185 from pixel electrode 9a is punctured by this part so that the pixel non-opening field in alignment with scanning-line 3a may not be extended superfluously.

[0102] (The 3rd operation gestalt) Next, with reference to drawing 12 , the 3rd operation gestalt of the electro-optic device of this invention is explained from drawing 10 . It is the A-A'-A-A [ in / it is a sectional view and / in drawing 12 / the modification ]' sectional view in which drawing 10's being a top view which is the pixel of the TFT array substrate with which the data line, the scanning line, a pixel electrode, etc. were formed, and showing the main laminated structures centering on a cover layer [ in / in drawing 11 / drawing 10 ] here. In addition, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, scales are made to have differed suitably for each class or every each part material in drawing 1111 and drawing 12 . Moreover, in drawing 13 , the same reference mark is given to the same component as drawing 1 to drawing 3 (the 1st operation gestalt) or drawing from drawing 10 , and the explanation is omitted.

[0103] As shown in drawing 10 and drawing 11 , with the 3rd operation gestalt, cover layer 80' which consists of same silicon layer, and fixed potential side capacity electrode 172' are separated in pattern compared with the 2nd operation gestalt. About other configurations, it is the same as that of the case of the 2nd operation gestalt.

[0104] Therefore, according to the 3rd operation gestalt, lower layer light-shielding film 11a which specifies the non-opening field of each pixel partially at least has not only a protection-from-light function but a function as a capacity line 300 shown in drawing 1 . And since cover layer 80' and fixed potential side capacity electrode 172' are separated especially, relaxation of the stress resulting from making these additionally in a laminated structure can be aimed at. Furthermore, the situation where the feeble potential fluctuation in the fixed potential side capacity electrode 72 has a bad influence on TFT30 through a cover layer 80 can be prevented.

[0105] In addition, it may make only to the field which laps with data-line 6a, without making storage capacitance 170 even to the field which laps with scanning-line 3a, as shown in drawing 12 (in L character mold) (to rectangle). In this case, the corniform section installed from high concentration drain field 1e of semi-conductor layer 1a is made to project under pixel electrode 9a, it sets, and the contact hole 185 from pixel electrode 9a is punctured by this part so that the pixel non-opening field in

alignment with scanning-line 3a may not be extended superfluously.

[0106] With the 2nd and 3rd operation gestalt explained above, unlike the case of the 1st operation gestalt, although the function as a capacity line 300 in drawing 1  $R > 1$  is given to lower layer light-shielding film 11a therefore, are omitting the upper light-shielding film without the function as a capacity line 300, but You may make it prepare chiefly the light-shielding film like the upper light-shielding film 90 of the 1st operation gestalt for the purpose of protection from light also with the 2nd and 3rd operation gestalt. That is, in order to raise lightfastness, it is [ TFT /30 ] more more desirable to arrange the upper light-shielding film and the lower layer light-shielding film up and down, respectively.

[0107] Here, with reference to drawing 13 , explanation is added about the desirable relation about the configuration of the lower layer light-shielding film and the upper light-shielding film in the electro-optic device of each operation gestalt of this invention. It is the top view of the pixel of the TFT array substrate which drawing 13 extracts only a lower layer light-shielding film and the upper light-shielding film here, and is shown.

[0108] As shown in drawing 13 , lower layer light-shielding film 11a and the upper light-shielding film 90 are formed in the shape of a grid, and lower layer light-shielding film 11a consists of each operation gestalt so that it may see superficially and the formation field of the upper light-shielding film 90 may not be overflowed (namely, somewhat small). Therefore, the profile of the opening field of each pixel is prescribed by the upper light-shielding film 90. Moreover, the scanning line which is not illustrated among both, the data line, TFT, etc. are constituted so that it may see superficially and the formation field of lower layer light-shielding film 11a may not be overflowed.

[0109] Therefore, it is reflecting by lower layer light-shielding film 11a (further the scanning line, the data line, etc.) which the incident light from the opposite substrate 20 side protruded from the formation field of the upper light-shielding film 90, and the before-it-happens prevention of the internal reflection light and multiple echo light in the interior of the electro-optic device concerned occurring can be carried out effectively. In addition, it is reflecting in upper light-shielding film 90 part which the return light from the TFT array substrate 10 side protruded from the formation field of lower layer light-shielding film 11a, and the internal reflection light and multiple echo light in the interior of the electro-optic device concerned are generated a little. However, since optical reinforcement is far low compared with incident light, the return light of the bad influence of the internal reflection by return light or multiple echo light is slight compared with it of incident light. And if it is such a slight internal reflection light and multiple echo light, it is fully absorbable with the cover layer 80 set to TFT30 from the silicon layer by which contiguity arrangement was carried out. Therefore, the configuration of this operation gestalt is advantageous.

[0110] (Other deformation gestalten) With each operation gestalt explained above, although the amount of [ which makes a cover layer 80 ] silicon layer consists of non doped silicon and it does not have conductivity, a cover layer 80 may also be formed from the doped silicon which has conductivity by doping an impurity like the fixed potential side capacity electrode 72 formed from the same silicon layer. In this case, by dropping a cover layer 80 on fixed potential, even if it carries out contiguity arrangement TFT30, capacity coupling hardly poses a problem. Thus, when it constitutes a cover layer 80 from conductive doped silicon, it is desirable to set to 400nm or more thickness of the interlayer insulation film (dielectric film) which intervenes from a viewpoint which controls parasitic capacitance with TFT30 certainly between a cover layer 80 and TFT30 (namely, scanning-line 3a which constitutes a gate electrode). therefore, such a comparatively thick interlayer insulation film -- the dielectric film of storage capacitance -- \*\* -- carrying out and using as it is is that (that is, in inverse proportion to the thickness of a dielectric film, capacity will become small) which is not desirable, and it etches the interlayer insulation film concerned locally in the part used as a dielectric film, and should just use it as a 25nm - 50nm thin dielectric film. In addition, in the process (4) of drawing 5 , without carrying out the mask of the part used as a cover layer 80, such an electro-optic device performs ion implantation to the silicon layer which makes a cover layer 80 and the fixed potential side capacity electrode 72, and should

just use it as the doped silicon layer of low resistance. Furthermore, when giving conductivity to a cover layer 80 in this way, it dissociates from the electrode which consists of same silicon layer as this in pattern, and even if it connects with fixed potential wiring which consists of the upper light-shielding film, a lower layer light-shielding film, etc. through a contact hole further separately, the cover layer 80 with conductivity can be dropped on fixed potential. When using the electrode which consists of same silicon layer as a cover layer 80 especially as a pixel potential electrode, it is good to take such a configuration. [0111] In each operation gestalt explained above, although the fixed potential side capacity electrode 72 is formed from the same silicon film as a cover layer 80, the pixel potential side capacity electrode 71 may be formed from the same silicon film as a cover layer 80. Moreover, although formed with each operation gestalt explained above from the layer same about the electrode of the direction which is not formed from the same silicon layer as a cover layer 80 as scanning-line 3a and semi-conductor layer 1a which consist of conductive polish recon film, it may be formed from the same layer as the same layer as pixel electrode 9a which consists of ITO film, for example, the upper layer or the same layer as a lower layer light-shielding film, and the data line etc. Furthermore, the laminating of the fixed potential side capacity electrode may be carried out to TFT30 bottom (for example, between scanning-line 3a and the pixel potential side capacity electrodes 71 and between data-line 6a and the pixel potential side capacity electrodes 71), and a laminating may be carried out to the TFT30 bottom. However, while it does not need to become easy to connect both by a contact hole etc. and it does not need to cause complication of a laminated structure so that the distance between layers of the light-shielding film which functions as a capacity line 300, and a fixed potential side capacity electrode is short, equipment dependability increases.

[0112] In addition, each operation gestalt mentioned above may be built as an electro-optic device of the reflective mold with which a pixel electrode is the reflective film, or the reflective film is arranged under the pixel electrode, and reflects incident light, although a pixel electrode etc. is transparent and is built as an electro-optic device of the transparency mold which penetrates incident light.

[0113] (The whole electro-optic device configuration) The whole electro-optic device configuration in each operation gestalt constituted as mentioned above is explained with reference to drawing 14 and drawing 15. In addition, drawing 14 is the top view which looked at the TFT array substrate 10 from the opposite substrate 20 side with each component formed on it, and drawing 15 is a H-H' sectional view of drawing 14.

[0114] In drawing 15, on the TFT array substrate 10, the sealant 52 is formed along the edge and the 3rd light-shielding film 53 as a frame which specifies the circumference of image display field 10a which consists of an ingredient which is the same as the 2nd light-shielding film 23, or is different is formed in parallel to the inside. The data-line drive circuit 101 and the external circuit connection terminal 102 which drive data-line 6a by supplying a picture signal to data-line 6a to predetermined timing are prepared in the field of the outside of a sealant 52 along with one side of the TFT array substrate 10, and the scanning-line drive circuit 104 which drives scanning-line 3a is formed along with two sides which adjoin this one side by supplying a scan signal to scanning-line 3a to predetermined timing. If the scan signal delay supplied to scanning-line 3a does not become a problem, the thing only with one side sufficient [ the scanning-line drive circuit 104 ] cannot be overemphasized. Moreover, the data-line drive circuit 101 may be arranged on both sides along the side of image display field 10a. Furthermore, two or more wiring 105 for connecting between the scanning-line drive circuits 104 established in the both sides of image display field 10a is formed in one side in which the TFT array substrate 10 remains. Moreover, in at least one place of the corner section of the opposite substrate 20, the flow material 106 for taking a flow electrically between the TFT array substrate 10 and the opposite substrate 20 is formed. And as shown in drawing 15, the opposite substrate 20 with the almost same profile as the sealant 52 shown in drawing 14 has fixed to the TFT array substrate 10 by the sealant 52 concerned.

[0115] In addition, on the TFT array substrate 10, the inspection circuit for inspecting the sampling circuit which impresses a picture signal to two or more data-line 6a to predetermined timing, the

precharge circuit which precedes the precharge signal of a predetermined voltage level with a picture signal, and supplies it to two or more data-line 6a respectively, the quality of the electro-optic device concerned at the manufacture middle or the time of shipment, a defect, etc. in addition to these data-line drive circuits 101 and scanning-line drive circuit 104 grade etc. may be formed.

[0116] You may make it connect with LSI for a drive mounted on the TAB (Tape Automated bonding) substrate instead of forming the data-line drive circuit 101 and the scanning-line drive circuit 104 on the TFT array substrate 10 electrically and mechanically through the anisotropy electric conduction film prepared in the periphery of the TFT array substrate 10 with each operation gestalt explained with reference to drawing 15 from drawing 1 above. Moreover, according to the exception of modes of operation, such as TN mode, VA (Vertically Aligned) mode, and PDLC (Polymer Dispersed Liquid Crystal) mode, and the no MARI White mode / NOMA reeve rack mode, a polarization film, a phase contrast film, a polarizing plate, etc. are respectively arranged in a predetermined direction at the side in which the outgoing radiation light of the side in which the incident light of the opposite substrate 20 carries out incidence, and the TFT array substrate 10 carries out outgoing radiation.

[0117] Since the electro-optic device in each operation gestalt explained above is applied to a projector, the electro-optic device of three sheets will be respectively used as a light valve for RGB, and incidence of the light of each color respectively decomposed through the dichroic mirror for RGB color separation will be respectively carried out to each light valve as incident light. Therefore, with each operation gestalt, the color filter is not prepared in the opposite substrate 20. However, the color filter of RGB may be formed in the predetermined field which counters pixel electrode 9a in which the 2nd light-shielding film 23 is not formed on the opposite substrate 20 with the protective coat. If it does in this way, the electro-optic device in each operation gestalt is applicable about the color electro-optic device of direct viewing types other than a projector, or a reflective mold. Moreover, a micro lens may be formed so that it may correspond 1 pixel on [ one ] the opposite substrate 20. Or it is also possible to form a color filter layer in the bottom of pixel electrode 9a which counters RGB on the TFT array substrate 10 by a color resist etc. If it does in this way, a bright electro-optic device is realizable by improving the condensing effectiveness of incident light. Furthermore, the die clo IKKU filter which makes a RGB color using interference of light by depositing the interference layer to which the refractive index of many layers is different on the opposite substrate 20 again may be formed. According to this opposite substrate with a die clo IKKU filter, a brighter color electro-optic device is realizable.

[0118] This invention is not restricted to each operation gestalt mentioned above, and can be suitably changed in the range which is not contrary to the summary or thought of invention which can be read in a claim and the whole specification, and the electro-optic device accompanied by such modification and its manufacture approach are also included in the technical range of this invention.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] They are equal circuits established in two or more pixels of the shape of a matrix which constitutes the image display field in the electro-optic device of the 1st operation gestalt of this invention, such as various components and wiring.

[Drawing 2] It is the top view of two or more pixel groups where the TFT array substrate with which the data line in the electro-optic device of the 1st operation gestalt, the scanning line, a pixel electrode, etc. were formed adjoins each other.

[Drawing 3] It is the A-A' sectional view of drawing 2 .

[Drawing 4] It is the B-B' sectional view of drawing 2 .

[Drawing 5] It is process drawing (the 1) in which making each class by the side of the TFT array substrate in each process in the manufacture process of the electro-optic device of the 1st operation gestalt correspond to the A-A' cross-section and B-B' cross section of drawing 2 like drawing 4 R> 4 and drawing 5 , and showing it.

[Drawing 6] It is process drawing (the 2) in which making each class by the side of the TFT array substrate in each process in the manufacture process of the electro-optic device of the 1st operation gestalt correspond to the A-A' cross-section and B-B' cross section of drawing 2 like drawing 4 R> 4 and drawing 5 , and showing it.

[Drawing 7] It is the top view of two or more pixel groups where the TFT array substrate with which the data line in the electro-optic device of the 2nd operation gestalt, the scanning line, a pixel electrode, etc. were formed adjoins each other.

[Drawing 8] It is the A-A' sectional view of drawing 7 showing the main laminated structures centering on the cover layer in the 2nd operation gestalt.

[Drawing 9] It is the A-A' sectional view of drawing 7 in the modification of the 2nd operation gestalt.

[Drawing 10] It is the top view of two or more pixel groups where the TFT array substrate with which the data line in the electro-optic device of the 3rd operation gestalt, the scanning line, a pixel electrode, etc. were formed adjoins each other.

[Drawing 11] It is the A-A' sectional view of drawing 10 showing the main laminated structures centering on the cover layer in the 3rd operation gestalt.

[Drawing 12] It is the A-A' sectional view of drawing 10 in the modification of the 3rd operation gestalt.

[Drawing 13] It is the top view of the pixel of the TFT array substrate in which the upper light-shielding film and lower layer light-shielding film in each operation gestalt are extracted and shown.

[Drawing 14] It is the top view which looked at the TFT array substrate in the electro-optic device of each operation gestalt from the opposite substrate side with each component formed on it.

[Drawing 15] It is the H-H' sectional view of drawing 14 .

### [Description of Notations]

1a -- Semi-conductor layer

1a' -- Channel field

1b -- Low concentration source field

1c -- Low concentration drain field

1d -- High concentration source field

1e -- High concentration drain field

2 -- Insulating thin film

3a -- Scanning line

6a -- Data line

9a -- Pixel electrode

10 -- TFT array substrate



11a -- Lower layer light-shielding film  
12 -- Substrate insulator layer  
16 -- Orientation film  
20 -- Opposite substrate  
21 -- Counterelectrode  
22 -- Orientation film  
23 -- The 2nd light-shielding film  
30 -- TFT  
50 -- Liquid crystal layer  
70 -- Storage capacitance  
71 -- Pixel potential side capacity electrode  
72 -- Fixed potential side capacity electrode  
74 -- Dielectric film  
80 -- Cover layer  
90 -- The upper light-shielding film  
81, 83, 85 -- Contact hole  
300 -- Capacity line

---

[Translation done.]

(19)日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-356709

(P2001-356709A)

(43)公開日 平成13年12月26日 (2001. 12. 26)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テマコード\*(参考)

G 0 9 F 9/30

3 3 8

G 0 9 F 9/30

3 3 8

2 H 0 9 2

G 0 2 F 1/1368

G 0 2 F 1/136

5 0 0

5 C 0 9 4

H 0 1 L 29/786

H 0 1 L 29/78

6 1 9 B

5 F 1 1 0

審査請求 未請求 請求項の数18 O L (全 20 頁)

(21)出願番号

特願2000-179899(P2000-179899)

(22)出願日

平成12年6月15日(2000. 6. 15)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 高原 研一

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74)代理人 100095728

弁理士 上柳 雅彦 (外1名)

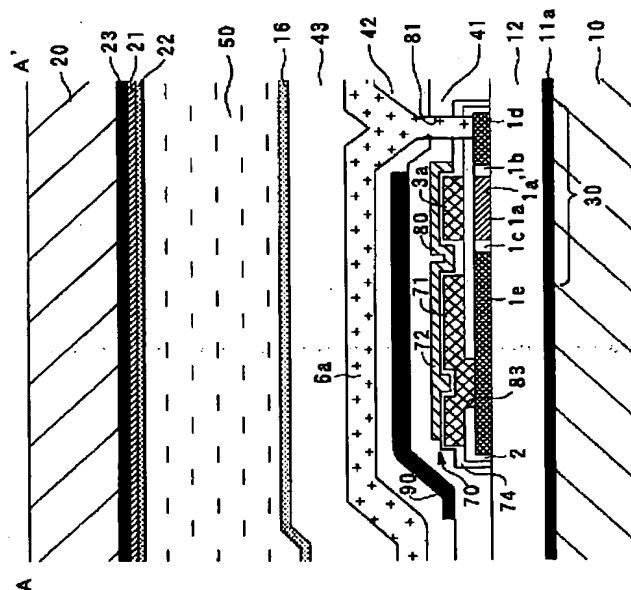
最終頁に続く

## (54)【発明の名称】 電気光学装置及びその製造方法

## (57)【要約】

【課題】 液晶装置等の電気光学装置において、耐光性を高めると同時に蓄積容量を効率良く作り込む。

【解決手段】 電気光学装置は、TFTアレイ基板(10)上に、走査線(3a)及びデータ線(6a)と、これらに接続されたTFT(30)と、これに接続された画素電極(9a)と、画素電位側容量電極(71)と固定電位側容量電極(72)とを含む蓄積容量(70)と、TFTを構成する半導体層(1a)の少なくともチャネル領域(1a')を平面的に見て覆う位置に積層されたカバー層(80)とを備える。画素電位側容量電極及び固定電位側容量電極のうち一方の電極と、カバー層とは、同一シリコン層から形成されている。そして、係る一方の電極は、製造工程中にドーピングされることで、低抵抗化されている。



(2)

1

## 【特許請求の範囲】

【請求項1】 基板上に、相交差する走査線及びデータ線と、該走査線及びデータ線に接続された薄膜トランジスタと、該薄膜トランジスタに接続された画素電極と、該画素電極に接続され画素電極電位とされる画素電位側容量電極と該画素電位側容量電極に誘電体膜を介して対向配置され固定電位とされる固定電位側容量電極とを含む蓄積容量と、前記薄膜トランジスタを構成する半導体層の少なくともチャンネル領域を平面的に見て覆う位置に積層されたカバー層とを備えており、

前記画素電位側容量電極及び前記固定電位側容量電極のうち一方の電極と前記カバー層とは同一シリコン層から形成されていることを特徴とする電気光学装置。

【請求項2】 前記カバー層の膜厚は、100nm～300nmであることを特徴とする請求項1に記載の電気光学装置。

【請求項3】 前記一方の電極をなすシリコン層部分は、不純物がドーピングされることにより導電性があり、前記カバー層をなすシリコン層部分は、前記不純物がドーピングされないことにより前記一方の電極よりも導電性が小さいことを特徴とする請求項1又は2に記載の電気光学装置。

【請求項4】 前記カバー層は、前記一方の電極からパターン的に分離されていないことを特徴とする請求項3に記載の電気光学装置。

【請求項5】 前記カバー層をなすシリコン層部分及び前記一方の電極をなすシリコン層部分は、不純物がドーピングされることにより導電性があることを特徴とする請求項1又は2に記載の電気光学装置。

【請求項6】 前記一方の電極は前記固定電位側容量電極であり、前記カバー層は、前記一方の電極からパターン的に分離されていないことを特徴とする請求項5に記載の電気光学装置。

【請求項7】 前記カバー層は、前記一方の電極からパターン的に分離されていることを特徴とする請求項3又は6に記載の電気光学装置。

【請求項8】 前記固定電位側容量電極は、固定電位配線に接続されていることを特徴とする請求項1から7のいずれか一項に記載の電気光学装置。

【請求項9】 前記基板上における前記薄膜トランジスタの上側に積層されており画素の非開口領域を少なくとも部分的に規定する導電性の上層遮光膜を更に備えており、

前記固定電位側容量電極は、前記上層遮光膜に接続され、前記上層遮光膜を介して固定電位に落とされていることを特徴とする請求項1から7のいずれか一項に記載の電気光学装置。

【請求項10】 前記基板上における前記薄膜トランジスタの下側に積層されており前記チャンネル領域を該下側

2

から覆う導電性の下層遮光膜を更に備えており、前記固定電位側容量電極は、前記下層遮光膜に接続され、前記下層遮光膜を介して固定電位に落とされていることを特徴とする請求項1から7のいずれか一項に記載の電気光学装置。

【請求項11】 前記画素電位側容量電極及び前記固定電位側容量電極のうち他方の電極は、前記薄膜トランジスタを構成するゲート電極層と同一層から形成されていることを特徴とする請求項1から10のいずれか一項に記載の電気光学装置。

【請求項12】 前記画素電位側容量電極及び前記固定電位側容量電極のうち他方の電極は、前記半導体層と同一層から形成されていることを特徴とする請求項1から10のいずれか一項に記載の電気光学装置。

【請求項13】 前記画素電位側容量電極及び前記固定電位側容量電極のうち他方の電極は、前記画素電極と同一層から形成されていることを特徴とする請求項1から10のいずれか一項に記載の電気光学装置。

【請求項14】 基板上に、相交差する走査線及びデータ線を形成する工程と、該走査線及びデータ線に接続される薄膜トランジスタを形成する工程と、

該薄膜トランジスタに接続される画素電極を形成する工程と、

前記画素電極に接続され画素電極電位とされる画素電位側容量電極と該画素電位側容量電極に誘電体膜を介して対向配置され固定電位とされる固定電位側容量電極とを含む蓄積容量を形成する工程と、

前記薄膜トランジスタを構成する半導体層の少なくともチャンネル領域を平面的に見て覆う位置に積層されるカバー層を形成する工程とを備えており、

前記蓄積容量を形成する工程及び前記カバー層を形成する工程では、同一シリコン層から前記画素電位側容量電極及び前記固定電位側容量電極のうち一方の電極と前記カバー層とを形成することを特徴とする電気光学装置の製造方法。

【請求項15】 前記蓄積容量を形成する工程では、前記カバー層をなすシリコン層部分をマスクしてのイオン打ち込みにより、前記一方の電極をなすシリコン層部分に導電性の与えることを特徴とする請求項14に記載の電気光学装置の製造方法。

【請求項16】 基板上に、相交差する走査線及びデータ線と、

該走査線及びデータ線に接続された薄膜トランジスタと、

該薄膜トランジスタに接続された画素電極と、該画素電極に接続され画素電極電位とされる画素電位側容量電極と該画素電位側容量電極に誘電体膜を介して対向配置され固定電位とされる固定電位側容量電極とを含む蓄積容量と、

50

(3)

3

前記薄膜トランジスタを構成する半導体層の少なくともチャンネル領域を平面的に見て覆う位置に積層されたシリコンでなる遮光層とを備えており、

前記蓄積容量の一方の電極は前記遮光層と同層で形成されていることを特徴とする電気光学装置。

【請求項17】 前記遮光層と同層で形成された前記蓄積容量の一方の電極は、前記遮光層を覆う第2の遮光層に接続されることを特徴とする請求項16記載の電気光学装置。

【請求項18】 前記遮光層と同層で形成された前記蓄積容量の一方の電極は、前記半導体層の下層で前記半導体層を覆う第3の遮光層を備えることを特徴とする請求項16又は17に記載の電気光学装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス駆動方式の電気光学装置の技術分野に属し、特に画素電極に書き込まれた電位を保持するための蓄積容量と、画素スイッチング用の薄膜トランジスタ (Thin Film Transistor: 以下適宜、TFTと称す) とを、基板上の積層構造中に備えた形式の電気光学装置及びその製造方法の技術分野に属する。

【0002】

【背景技術】TFTアクティブマトリクス駆動形式の電気光学装置では、各画素に設けられた画素スイッチング用TFTのチャンネル領域に入射光が照射されると光による励起で電流が発生してTFTの特性が変化する。特に、プロジェクタのライトバルブ用の電気光学装置の場合には、入射光の強度が高いため、TFTのチャンネル領域やその周辺領域に対する入射光の遮光を行うことは重要となる。そこで従来は、対向基板に設けられた各画素の開口領域を規定する遮光膜により、或いはTFTの上を通過すると共にAl等の金属膜からなるデータ線により、係るチャンネル領域やその周辺領域を遮光するように構成されている。また特開平9-33944号公報には、屈折率の大きいa-Si (アモルファスシリコン) から形成された遮光膜で、チャンネル領域に入射する光を減少させる技術が開示されている。更に、TFTアレイ基板上において画素スイッチング用TFTに対向する位置 (即ち、TFTの下側) にも、例えば高融点金属からなる遮光膜を設けることがある。このようにTFTの下側にも遮光膜を設ければ、TFTアレイ基板側からの裏面反射や、複数の電気光学装置をプリズム等を介して組み合わせ一つ光学系を構成する場合に他の電気光学装置からプリズム等を突き抜けてくる投射光が、当該電気光学装置のTFTに入射するのを未然に防ぐことができる。

【0003】他方、一般にこの種の電気光学装置においては、TFTのゲート電極に走査線を介して走査信号が供給されると、TFTはオン状態とされ、半導体層のソ

4

ース領域にデータ線を介して供給される画像信号が当該TFTのソースドレイン間を介して画素電極に供給される。このような画像信号の供給は、各TFTを介して画素電極毎に極めて短時間しか行われないので、TFTを介して供給される画像信号の電圧を、このオン状態とされた時間よりも遥かに長時間に亘って保持するため、各画素電極には (液晶容量等と並列に) 蓄積容量が付加されるのが一般的である。そして、このような蓄積容量は一般に、画素電極に接続されたTFTのドレイン領域を構成する導電性のポリシリコン膜等から延設され画素電極電位とされる容量電極と、この容量電極に誘電体膜を介して対向配置された電極部分を含み固定電位とされる容量線とを備えて構成されている。

【0004】

【発明が解決しようとする課題】しかしながら、上述した各種遮光技術によれば、以下の問題点がある。即ち、先ず対向基板上やTFTアレイ基板上に遮光膜を形成する技術によれば、遮光膜とチャンネル領域との間は、3次元的に見て例えば液晶層、電極、層間絶縁膜等を介してかなり離間しており、両者間へ斜めに入射する光に対する遮光が十分ではない。加えて、遮光膜のない領域から電気光学装置内に侵入した光が、遮光膜やデータ線の内面 (即ち、チャンネル領域に面する側の面) で反射された後に、係る反射光或いはこれが更に遮光膜やデータ線の内面で反射された多重反射光が最終的にTFTのチャンネル領域に到達してしまう場合もある。またデータ線で遮光する技術によれば、データ線は平面的に見て走査線に直交して伸びるストライプ状に形成されており且つデータ線とチャンネル領域との容量カップリングの悪影響が無視できる程度に両者間に厚い層間絶縁膜を配置する必要があるため、十分に遮光することは、基本的に困難である。また特開平9-33944号公報に記載の技術によれば、ゲート線上にa-Si膜を形成するため、ゲート電極とa-Si膜との容量カップリングの悪影響を低減するために両者間に比較的厚い層間絶縁膜を積むことが必要となる。この結果、追加的に形成されるa-Si膜や層間絶縁膜等により積層構造が複雑肥大化すると共にやはり斜めの入射光や内面反射光に対して十分な遮光を行うことは困難である。特に近年の表示画像の高品位化という一般的要請に沿って、電気光学装置の高精細化或いは画素ピッチの微細化を図るに連れて、上述した従来の各種遮光技術によれば、十分な遮光を施すのがより困難となり、TFTのトランジスタ特性の変化により、フリッカ等が生じて、表示画像の品位が低下してしまうという問題点がある。

【0005】他方、上述した蓄積容量を付加する技術によれば、以下の問題点がある。即ち、この種の電気光学装置においては、表示画像の高品位化のために画素ピッチを微細化しつつ画素開口率を高める (即ち、各画素において、表示光が透過しない各画素における非開口領域

(4)

5

に対して、表示光が透過する開口領域を広げる) ことが重要となるが、このように微細ピッチな画素の高開口率化に伴い走査線や容量線を配線可能な各画素の非開口領域は狭くなる。このため、画素ピッチの微細化が進む程、十分な大きさの蓄積容量を作り込むことや、走査線や容量線に十分な導電性を与えることが困難になる。そして、十分な蓄積容量が得られなかったり、走査線や容量線に十分な導電性が得られなかったりすると、最終的には、表示画像中におけるクロストークやゴーストが増大して画質劣化するという問題点が生じる。

【0006】本発明は上述の問題点に鑑みなされたものであり、耐光性に優れ且つ蓄積容量を効率良く作り込むことが可能な電気光学装置及びその製造方法を提供することを課題とする。

【0007】

【課題を解決するための手段】本発明の電気光学装置は上記課題を解決するために、基板上に、相交差する走査線及びデータ線と、該走査線及びデータ線に接続された薄膜トランジスタと、該薄膜トランジスタに接続された画素電極と、該画素電極に接続され画素電極電位とされる画素電位側容量電極と該画素電位側容量電極に誘電体膜を介して対向配置され固定電位とされる固定電位側容量電極とを含む蓄積容量と、前記薄膜トランジスタを構成する半導体層の少なくともチャンネル領域を平面的に見て覆う位置に積層されたカバー層とを備えており、前記画素電位側容量電極及び前記固定電位側容量電極のうち一方の電極と前記カバー層とは同一シリコン層から形成されている。

【0008】本発明の電気光学装置によれば、p-Si (ポリシリコン膜) または a-Si (アモルファスシリコン膜) 或いはドーフトシリコン、ノンドーフトシリコン等の各種のシリコン層からなるカバー層により、薄膜トランジスタは平面的に見て (即ち、基板上において上側から又は下側から) 覆われている。このようなシリコン層は、一般に褐色味を帯びており、層間絶縁膜を構成する PSG (リンシリケートガラス)、BSG (ボロンシリケートガラス) 等のガラス材料と比べて光吸収率が高く (即ち透過率が低く)、光を吸収する性質を持つ。ここでシリコン層であれば、Ti (チタン)、Cr (クロム) 等の金属層で遮光する場合と異なり、薄膜トランジスタを構成する半導体層やゲート電極層等との間で発生するストレスが小さくて済む分だけ薄膜トランジスタに近接して配置可能である。即ち、薄膜トランジスタ上に薄い層間絶縁膜を介して当該シリコン層からなるカバー層を配置しても、製造中や製品完成後に発生するストレスが問題となることは殆どない。特に光強度を高めると、このような遮光用の金属層の場合でも、より厚くする必要があり、これに伴うストレス緩和のためにより遠くへ離して配置する必要が出てくるので、シリコン層からなるカバー層は非常に有利である。更に、カバー層

6

を、導電性を持たないノンドーフトシリコン層から形成することにより、或いは導電性を持つシリコン層から形成すると共に固定電位に落とすことにより、カバー層と薄膜トランジスタ (特にそのゲート電極や半導体層) とを相互に近接配置しても、両者間における容量カップリングが問題となることは殆どない。従って、本発明によれば、ストレス及び容量カップリングに係る問題を引き起こすこと無く近接配置可能なカバー層により、チャンネル領域に入射しようとする光 (例えば、斜めの入射光、内面反射光、多重反射光、裏面からの戻り光等) に対する遮光を当該チャンネル領域の近くで行える。このため本発明によれば、前述した背景技術の如く相対的に遠くに配置された遮光膜によって斜めの入射光等を十分に遮光できないことはないので大変有利である。

【0009】しかも、本発明によれば、このようにカバー層と同一シリコン層から一方の電極が形成された蓄積容量により、データ線及び薄膜トランジスタを介して画素電極に書き込まれた電位を比較的長時間に渡って保持できる。即ち、専ら蓄積容量の電極としてのみ用いられる導電層を追加的に積層することによる積層構造の複雑化或いは肥大化を避けつつ当該蓄積容量を構築できる。この際、一方の電極が固定電位側容量電極であれば、カバー層を形成するシリコン層部分を導電性の無いノンドーフトシリコンとするか導電性のあるドーフトシリコンとするかに拘わらず、カバー層と一方の電極とを分離してパターニングする必要はない。また一方の電極が画素電位側容量電極であれば、カバー層を形成するシリコン層部分を導電性の無いノンドーフトシリコン層とすればよい (この場合、カバー層の電位は、浮遊電位でもよい)。或いは、カバー層を形成するシリコン層部分を導電性のあるドーフトシリコン層とすると共にカバー層と一方の電極とを分離してパターニングすればよく、この場合には好ましくはカバー層を固定電位に落とすとよい。尚、固定電位としては、接地電位でもよいし、対向電極電位でもよい。いずれにせよカバー層は、チャンネル領域に近接配置可能なように、導電性を持たせて固定電位に落とすのか或いは導電性を持たせない方がよい。このように本発明によれば、カバー層における光吸収のために望ましい条件を満足させつつカバー層と同一シリコン層を蓄積容量の一方の電極として利用できるので、全体として積層構造が複雑化或いは肥大化するのを防止しつつ、限られた基板上の領域内に効率的に蓄積容量を作り込める。

【0010】以上の結果本発明によれば、耐光性に優れ且つ蓄積容量を効率良く作り込むことが可能であり、特に優れた耐光性によって薄膜トランジスタのトランジスタ特性の変化によりフリッカ等が生じて表示画像の品位が低下してしまうという問題を回避しつつ、同時に効率的に作り込まれる蓄積容量によって特に微細ピッチな画素の高開口率化を図りつつ表示画像中におけるクロスト

(5)

7

ークやゴーストを低減して画質を向上できる。

【0011】尚、このような薄膜トランジスタとしては、走査線の一部からなるゲート電極がチャンネル領域の上側に位置する所謂トップゲート型でもよいし、走査線の一部からなるゲート電極がチャンネル領域の下側に位置する所謂ボトムゲート型でもよい。また、蓄積容量の層間位置は、基板上で走査線の上方でも下方でもよい。加えて画素電極の層間位置も、基板上で走査線の上方でも下方でもよい。また、カバー層の積層位置としても、薄膜トランジスタの上側でもよいし下側でもよい。更に、画素電位側容量電極と固定電位側容量電極との基板上における上下関係についてはどちらでもよく、他方の電極は、半導体層、走査線、データ線、遮光膜、画素電極等の各導電膜と同一膜から構成可能である。加えて、以上の如く構成される本発明の電気光学装置は、透過型の電気光学装置でもよいし、反射型の電気光学装置でもよい。

【0012】本発明の電気光学装置の一態様では、前記カバー層の膜厚は、100nm～300nmである。

【0013】この態様によれば、カバー層の膜厚を、100nm～300nm、好ましくは200nm程度とすることにより、その光吸収率を実用上十分に高められる。しかも、この程度の膜厚であれば、当該カバー層の存在により発生するストレスも実用上殆ど問題とならず、更にカバー層の存在に起因して発生する画素電極の下地面における段差も実用上殆ど問題とならない程度に抑えられる。

【0014】本発明の電気光学装置の他の態様では、前記一方の電極をなすシリコン層部分は、不純物がドーピングされることにより導電性があり、前記カバー層をなすシリコン層部分は、前記不純物がドーピングされないことにより前記一方の電極よりも導電性が小さい。

【0015】この態様によれば、一方の電極は、不純物がドーピングされることにより導電性がある（即ち、ドーフトシリコンからなる）ので、蓄積容量の電極として良好に機能し得る。これに対して、カバー層は、不純物がドーピングされないことにより導電性が小さい（即ち、ノンドーフトシリコンからなる）。このため、カバー層を薄膜トランジスタ（特にそのゲート電極や半導体層）に近接配置しても容量カップリングは殆ど問題とならないので、チャンネル領域に近接配置されたカバー層により、チャンネル領域に入射しようとする斜めの入射光等を吸収できる。特に、導電性のあるカバー層と一方の電極とをパターン的に分離しておく場合と比較して、ドーピングの有無で両者を分ける本態様によれば、より高い信頼性が得られる。

【0016】このカバー層の導電性が小さい態様では、前記カバー層は、前記一方の電極からパターン的に分離されていなくてもよい。

【0017】即ち、このように構成すれば、一方の電極

8

からパターン的に分離されていなくてもカバー層は（ノンドーフトシリコンからなり）導電性が小さいため、一方の電極が画素電位側容量電極の場合にも、カバー層の電位が画素電極電位に従って振れることはない。従って、カバー層の電位変動がチャンネル領域に対して悪影響を及ぼすことは殆ど無い。或いは、一方の電極が固定電位側容量電極であれば、やはりカバー層の電位変動がチャンネル領域に対して悪影響を及ぼすことは殆ど無い。従って、同一シリコン層からなるカバー層と一方の電極とをパターン的に分離することによる積層構造の複雑化や装置の信頼性低下を招かなくて済む。同時に、分離する場合と比較して蓄積容量の一方の電極の面積を広げられるため、蓄積容量の増加を図れる。

【0018】或いは本発明の他の態様では、前記カバー層をなすシリコン層部分及び前記一方の電極をなすシリコン層部分は、不純物がドーピングされることにより導電性がある。

【0019】この態様によれば、一方の電極は、不純物がドーピングされることにより導電性がある（即ち、ドーフトシリコンからなる）ので、蓄積容量の電極として良好に機能し得る。そしてカバー層も同様に、不純物がドーピングされることにより導電性がある（即ち、ドーフトシリコンからなる）。従って、この場合には、カバー層を固定電位に落とすことにより、薄膜トランジスタ（特にそのゲート電極や半導体層）に近接配置しても容量カップリングは殆ど問題とならないので、チャンネル領域に近接配置されたカバー層により、チャンネル領域に入射しようとする斜めの入射光等を吸収できる。

【0020】このカバー層に導電性がある態様では、前記一方の電極は前記固定電位側容量電極であり、前記カバー層は、前記一方の電極からパターン的に分離されていなくてもよい。

【0021】このように構成すれば、一方の電極は固定電位側容量電極であるので、この一方の電極からパターン的に分離されていないカバー層は、固定電位とされる。従って、カバー層を薄膜トランジスタ（特にそのゲート電極や半導体層）に近接配置しても容量カップリングは殆ど問題とならない。同時に、分離する場合と比較して蓄積容量の一方の電極の面積を広げられるため、蓄積容量の増加を図れる。

【0022】或いはこれらのカバー層の導電性が小さい態様やカバー層に導電性がある態様では、前記カバー層は、前記一方の電極からパターン的に分離されていてもよい。

【0023】このように構成すれば、先ずカバー層の導電性が小さい態様の場合には、一方の電極が固定電位側容量電極であるか画素電位側容量電極であるかによらず、より確実にカバー層の電位変動を低減できる。また、カバー層に導電性がある態様の場合には、一方の電極が固定電位側容量電極であるか画素電位側容量電極で

(6)

9

あるかによらず、一方の電極からパターン的に分離されている導電性のあるカバー層を固定電位にすれば、カバー層を薄膜トランジスタ（特にそのゲート電極や半導体層）に近接配置しても容量カップリングは殆ど問題とならない。加えて、両者を分離することにより、両者を積層構造内に追加的に作り込むことに起因するストレスの緩和が図れる。尚、このようなカバー層は、画素毎に島状に分離されていてもよい。

【0024】本発明の電気光学装置の他の態様では、前記固定電位側容量電極は、固定電位配線に接続されている。

【0025】この態様によれば、固定電位側容量電極は、例えば画像表示領域内に格子状或いはストライプ状に張り巡らされ且つ画像表示領域外に延設されて接地電位又は対向電極電位に落とされる容量線などの固定電位配線に接続されているので、確実且つ安定的に固定電位とされる。

【0026】或いは本発明の電気光学装置の他の態様では、前記基板上における前記薄膜トランジスタの上側に積層されており画素の非開口領域を少なくとも部分的に規定する導電性の上層遮光膜を更に備えており、前記固定電位側容量電極は、前記上層遮光膜に接続され、前記上層遮光膜を介して固定電位に落とされている。

【0027】この態様によれば、各画素の非開口領域は、トランジスタの上側に積層された格子状、ストライプ状又は島状などの上層遮光膜により少なくとも部分的に規定される。しかも、係る上層遮光膜には導電性があり、遮光機能のみならず個定電位配線としての機能も有するので、積層構造の複雑化を低減しつつ、このような二つの機能を果たすことが可能となる。そして特にこのように薄膜トランジスタの上側に積層された上層遮光膜を固定電位配線として利用することにより、基板上で平面的に見て半導体層が存在する個所でも、上層遮光膜と固定電位側容量電極との間のコンタクトをとれる。更にこのように薄膜トランジスタの上側に積層された上層遮光膜を固定電位配線として利用することにより、蓄積容量の誘電体膜形成後に直ちに、シリコン層を積めるので、製造工程上も大変有利である。

【0028】或いは本発明の電気光学装置の他の態様では、前記基板上における前記薄膜トランジスタの下側に積層されており前記チャネル領域を該下側から覆う導電性の下層遮光膜を更に備えており、前記固定電位側容量電極は、前記下層遮光膜に接続され、前記下層遮光膜を介して固定電位に落とされている。

【0029】この態様によれば、各画素の非開口領域は、トランジスタの下側に積層された格子状、ストライプ状又は島状などの下層遮光膜により少なくとも部分的に規定される。しかも、係る下層遮光膜には導電性があり、遮光機能のみならず個定電位配線としての機能も有するので、積層構造の複雑化を低減しつつ、このような

10

二つの機能を果たすことが可能となる。

【0030】本発明の電気光学装置の他の態様では、前記画素電位側容量電極及び前記固定電位側容量電極のうち他方の電極は、前記薄膜トランジスタを構成するゲート電極層と同一層から形成されている。

【0031】この態様によれば、一方の電極は、カバー層と同一シリコン層からなり、他方の電極は、例えば導電性のポリシリコン膜からなるゲート電極層と同一層からなるので、積層構造の複雑化や肥大化を避けつつ蓄積容量を構築可能となる。尚この場合、ゲート電極層と他方の電極とはパターン的に分離しておけばよい。

【0032】本発明の電気光学装置の他の態様では、前記画素電位側容量電極及び前記固定電位側容量電極のうち他方の電極は、前記半導体層と同一層から形成されている。

【0033】この態様によれば、一方の電極は、カバー層と同一シリコン層からなり、他方の電極は、例えばポリシリコン膜からなる半導体層と同一層からなるので、積層構造の複雑化や肥大化を避けつつ蓄積容量を構築可能となる。尚この場合、半導体層のドレイン領域から他方の電極を形成すればよい（即ち、半導体層と他方の電極とはパターン的に分離しておく必要はない）。

【0034】本発明の電気光学装置の他の態様では、前記画素電位側容量電極及び前記固定電位側容量電極のうち他方の電極は、前記画素電極と同一層から形成されている。

【0035】この態様によれば、一方の電極は、カバー層と同一シリコン層からなり、他方の電極は、例えばITO (Indium Tin Oxide) 膜からなる画素電極と同一層からなるので、積層構造の複雑化や肥大化を避けつつ蓄積容量を構築可能となる。尚この場合、他方の電極を画素電位側容量電極とすれば、他方の電極と画素電極とをパターン的に分離しないだけで、両差間の電氣的接続が得られるので有利である。

【0036】本発明の電気光学装置の製造方法は上記課題を解決するために、基板上に、相交差する走査線及びデータ線を形成する工程と、該走査線及びデータ線に接続される薄膜トランジスタを形成する工程と、該薄膜トランジスタに接続される画素電極を形成する工程と、前記画素電極に接続され画素電極電位とされる画素電位側容量電極と該画素電位側容量電極に誘電体膜を介して対向配置され固定電位とされる固定電位側容量電極とを含む蓄積容量を形成する工程と、前記薄膜トランジスタを構成する半導体層の少なくともチャネル領域を平面的に見て覆う位置に積層されるカバー層を形成する工程とを備えており、前記蓄積容量を形成する工程及び前記カバー層を形成する工程では、同一シリコン層から前記画素電位側容量電極及び前記固定電位側容量電極のうち一方の電極と前記カバー層とを形成する。

【0037】本発明の電気光学装置の製造方法によれ

(7)

11

ば、走査線及びデータ線を形成する工程と、薄膜トランジスタを形成する工程と、画素電極を形成する工程と、蓄積容量を形成する工程と、カバー層を形成する工程とが、当該電気光学装置の積層構造に応じた順序で相前後して或いは同時に行われる。ここで特に、蓄積容量を形成する工程及びカバー層を形成する工程では、同一シリコン層から、画素電位側容量電極及び固定電位側容量電極のうち一方の電極とカバー層とを形成するので、前述した本発明の電気光学装置を比較的容易に製造できる。

【0038】本発明の電気光学装置の製造方法の他の態様では、前記蓄積容量を形成する工程では、前記カバー層をなすシリコン層部分をマスクしてのイオン打ち込みにより、前記一方の電極をなすシリコン層部分に導電性を与える。

【0039】この態様によれば、一方の電極からパターンの分離されていないカバー層であって薄膜トランジスタとの容量カップリングが問題とならないカバー層を、比較的容易に製造できる。

【0040】本発明の他の電気光学装置は上記課題を解決するために、基板上に、相交差する走査線及びデータ線と、該走査線及びデータ線に接続された薄膜トランジスタと、該薄膜トランジスタに接続された画素電極と、該画素電極に接続され画素電極電位とされる画素電位側容量電極と該画素電位側容量電極に誘電体膜を介して対向配置され固定電位とされる固定電位側容量電極とを含む蓄積容量と、前記薄膜トランジスタを構成する半導体層の少なくともチャネル領域を平面的に見て覆う位置に積層されたシリコンでなる遮光層とを備えており、前記蓄積容量の一方の電極は前記遮光層と同層で形成されている。

【0041】従って、耐光性に優れ且つ蓄積容量を効率良く作り込むことが可能であり、特に優れた耐光性によって薄膜トランジスタのトランジスタ特性の変化によりフリッカ等が生じて表示画像の品位が低下してしまうという問題を回避しつつ、同時に効率的に作り込まれる蓄積容量によって特に微細ピッチな画素の高開口率化を図りつつ表示画像中におけるクロストークやゴーストを低減して画質を向上できる。

【0042】このような本発明の他の電気光学装置では、前記遮光層と同層で形成された前記蓄積容量の一方の電極は、前記遮光層を覆う第2の遮光層に接続されてもよい。或いは、前記遮光層と同層で形成された前記蓄積容量の一方の電極は、前記半導体層の下層で前記半導体層を覆う第3の遮光層を備えてもよい。

【0043】本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされる。

【0044】

【発明の実施の形態】以下、本発明の実施形態を図面に基いて説明する。以下の各実施形態は、本発明の電気光学装置を液晶装置に適用したものである。

12

【0045】(第1実施形態) 本発明の第1実施形態における電気光学装置の構成について、図1から図4を参照して説明する。図1は、電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。図2は、データ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。図3は、図2のA-A'断面図であり、図4は、図2のB-B'断面図である。尚、図3及び図4においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0046】図1において、本実施形態における電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素は、画素電極9aと当該画素電極9aをスイッチング制御するためのTFT30が形成されており、画像信号が供給されるデータ線6aが当該TFT30のソースに電氣的に接続されている。データ線6aに書き込む画像信号S1、S2、…、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしても良い。また、TFT30のゲートに走査線3aが電氣的に接続されており、所定のタイミングで、走査線3aにパルスの走査信号G1、G2、…、Gmを、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電氣的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、…、Snを所定のタイミングで書き込む。画素電極9aを介して電気光学物質の一例としての液晶に書き込まれた所定レベルの画像信号S1、S2、…、Snは、対向基板(後述する)に形成された対向電極(後述する)との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が減少し、ノーマリーブラックモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が増加され、全体として電気光学装置からは画像信号に応じたコントラストを持つ光が出射する。ここで、保持された画像信号がリークするのを防ぐために、画素電極9aと対向電極との間に形成される液晶容量と並列に蓄積容量70を付加する。

【0047】本実施形態では特に、蓄積容量70は、TFT30のドレイン(及び画素電極9a)に接続された画素電位側容量電極71と、後述の如く遮光膜からなる固定電位配線の一例たる容量線300に接続された固定電位側容量電極72とが、誘電体膜を介して対向配置されることにより形成されている。そして、画素電位側容量電極71及び固定電位側容量電極72のうちいずれか



(8)

13

一方は、後述の如くTFT30を構成する半導体層のチャネル領域を覆うカバー層と同一シリコン層から形成されている。

【0048】図2において、電気光学装置のTFTアレイ基板上には、マトリクス状に複数の透明な画素電極9a（点線部9a'により輪郭が示されている）が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a、走査線3aが設けられている。

【0049】また、半導体層1aのうち図中右上がりの斜線領域で示したチャネル領域1a'に対向するように走査線3aが配置されており、走査線3aはゲート電極として機能する（特に、本実施形態では、走査線3aは、当該ゲート電極となる部分において幅広に形成されている）。このように、走査線3aとデータ線6aとの交差する個所には夫々、チャネル領域1a'に走査線3aがゲート電極として対向配置された画素スイッチング用のTFT30が設けられている。尚、図2では、4つの画素の内、右上の画素についてのみ、TFT30、蓄積容量70等を詳細に図示しているが、実際にはこれと同様に各画素にTFT30、蓄積容量70等が作り込まれている。

【0050】本実施形態では、図1に示した容量線300を構成する導電性の上層遮光膜90が（後述のように、基板上においてTFT30の上層側に）各画素電極の隙間に沿って格子状に設けられており、下層遮光膜11aも（後述のように基板上においてTFT30の下層側に）同様に格子状に設けられている。これらの上層遮光膜90及び下層遮光膜11aは夫々、例えば、Ti（チタン）、Cr（クロム）、W（タングステン）、Ta（タンタル）、Mo（モリブデン）、Pb（鉛）等の高融点金属のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等からなる。本実施形態では、特に上層遮光膜90が容量線300としての機能も兼ねるので、これら遮光膜のうち少なくとも上層遮光膜90は導電性材料から形成する必要があるが、下層遮光膜11aが容量線300としての機能を兼ねるように構成するのであれば、逆に少なくとも下層遮光膜11aを導電性材料から形成する必要がある。

【0051】図2から図4に示すように、本実施形態では特に、TFT30のゲート電極付近の上層側に、シリコン層からなるカバー層80が設けられており、チャネル領域1a'を上側から覆っている。更に走査線3aと同一層から蓄積容量70の画素電位側容量電極71が形成されており、カバー層80と同一シリコン層から蓄積容量70の固定電位側容量電極72が形成されている。これらの画素電位側容量電極71と固定電位側容量電極72とが誘電体膜74を介して対向配置されることにより、平面的に見て主にデータ線6aに重なる領域及び走査線3aに重なる領域に、データ線6a及び走査線3a

14

に沿って伸びる部分を含む略L字型の蓄積容量70が構築されている。また、誘電体膜74は、例えば膜厚5～200nm程度の比較的薄いHTO膜、LTO膜等の酸化シリコン膜、あるいは窒化シリコン膜等から構成される。蓄積容量70を増大させる観点からは、膜厚の信頼性が十分に得られる限りにおいて、誘電体膜74は薄い程良い。

【0052】また本実施形態では特に、固定電位側容量電極72をなすシリコン層部分は、不純物がドーピングすることにより導電性があり、これと同一シリコン層からなるカバー層80をなすシリコン層部分は、不純物がドーピングされないことにより導電性がない。そして、これらの同一シリコン層からなるカバー層80と固定電位側容量電極72とは、パターンの的に分離されていない。

【0053】図2及び図3に示すように、データ線6aは、コンタクトホール81を介して例えばポリシリコン膜からなる半導体層1aのうち高濃度ソース領域1dに電氣的に接続されている。

【0054】また図2及び図4に示すように、固定電位側容量電極72は、図1の容量線300を構成する上層遮光膜90にコンタクトホール84を介して接続されている。容量線300として機能する上層遮光膜90は、画素電極9aが配置された画像表示領域からその周囲に延設され、定電位源と電氣的に接続されて、固定電位とされる。定電位源としては、TFT30を駆動するための走査信号を走査線3aに供給するための走査線駆動回路（後述する）や画像信号をデータ線6aに供給するサンプリング回路を制御するデータ線駆動回路（後述する）に供給される正電源や負電源の定電位源でも良いし、対向基板の対向電極に供給される定電位でも構わない。

【0055】尚、TFT30の下側に設けられる下層遮光膜11aについても、その電位変動がTFT30に対して悪影響を及ぼすことを避けるために、上層遮光膜90と同様に、画像表示領域からその周囲に延設して定電位源に接続するとよい。

【0056】更に図2から図4に示すように、画素電極9aは、画素電位側容量電極71を中継することにより、コンタクトホール83及び85を介して半導体層1aのうち高濃度ドレイン領域1eに電氣的に接続されている。

【0057】尚、図3においてコンタクトホール81は、比較的その深度が深いので、中間にある他の導電層（例えば、画素電位側容量電極71と同一層、固定電位側容量電極72と同一層、上層遮光膜90と同一層）を中継層として利用して、2つ以上の直列なコンタクトホールから構成してもよい。同様に図4においてコンタクトホール85は、比較的その深度が深いので、中間にある他の導電層（例えば、固定電位側容量電極72と同一層、上層遮光膜90と同一層、データ線6aと同一層）

(9)

15

を中継層として利用して、2つ以上の直列なコンタクトホールから構成してもよい。このように中間にある他の導電層を中継層として利用すれば、例えば層間距離が例えば1000nm程度に長くても、両者間を一つのコンタクトホールで接続する技術的困難性を回避しつつ比較的小径の二つ以上の直列なコンタクトホールで両者間を良好に接続でき、画素開口率を高めること可能となり、コンタクトホール開孔時におけるエッチングの突き抜け防止にも役立つ。加えて、このように深度の深いコンタクトホール81や85については、エッチングの深度制御の困難性に鑑み、エッチング突き抜け防止用の膜を半導体層1aの下側（コンタクトホール81の場合）や画素電位側容量電極71の下側（コンタクトホール85の場合）に、島状に設けるようにしてもよい。

【0058】図3及び4に示すように、電気光学装置は、透明なTFTアレレイ基板10と、これに対向配置される透明な対向基板20とを備えている。TFTアレレイ基板10は、例えば石英基板、ガラス基板、シリコン基板からなり、対向基板20は、例えばガラス基板や石英基板からなる。TFTアレレイ基板10には、画素電極9aが設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜16が設けられている。画素電極9aは例えば、ITO (Indium Tin Oxide) 膜などの透明導電性薄膜からなる。また配向膜16は例えば、ポリイミド薄膜などの有機薄膜からなる。

【0059】他方、対向基板20には、その全面に渡って対向電極21が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜22が設けられている。対向電極21は例えば、ITO膜などの透明導電性薄膜からなる。また配向膜22は、ポリイミド薄膜などの有機薄膜からなる。

【0060】対向基板20には、更に図3及び図4に示すように、格子状又はストライプ状の第2遮光膜23を設けるようにしてもよい。このような構成を採ることによって、上層遮光膜90と共に、対向基板20側から入射光がチャンネル領域1a'や低濃度ソース領域1b及び低濃度ドレイン領域1cに侵入するのを確実に阻止する。更に、第2遮光膜23は、少なくとも入射光が照射される面を高反射な膜で形成することにより、電気光学装置の温度上昇を防ぐ働きをする。加えて、本実施形態では、A1膜等からなる遮光性のデータ線6aで、各画素の遮光領域のうちデータ線6aに沿った部分を遮光してもよい。

【0061】このように構成された、画素電極9aと対向電極21とが対面するように配置されたTFTアレレイ基板10と対向基板20との間には、後述のシール材により囲まれた空間に電気光学物質の一例である液晶が封入され、液晶層50が形成される。液晶層50は、画素電極9aからの電界が印加されていない状態で配向膜16及び22により所定の配向状態をとる。液晶層50

16

は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材は、TFTアレレイ基板10及び対向基板20をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのグラスファイバー或いはガラスビーズ等のギャップ材が混入されている。

【0062】更に、画素スイッチング用TFT30の下には、下地絶縁膜12が設けられている。下地絶縁膜12は、TFTアレレイ基板10の全面に形成されることにより、TFTアレレイ基板10の表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用TFT30の特性の劣化を防止する機能を有する。

【0063】図3において、画素スイッチング用TFT30は、LDD (Lightly Doped Drain) 構造を有しており、走査線3a、当該走査線3aからの電界によりチャネルが形成される半導体層1aのチャネル領域1a'、走査線3aと半導体層1aとを絶縁するゲート絶縁膜を含む絶縁薄膜2、半導体層1aの低濃度ソース領域1b及び低濃度ドレイン領域1c、半導体層1aの高濃度ソース領域1d並びに高濃度ドレイン領域1eを備えている。

【0064】固定電位側容量電極72上には、高濃度ソース領域1dへ通じるコンタクトホール81、固定電位側容量電極72へ通じるコンタクトホール84及び画素電位側容量電極71へ通じるコンタクトホール85が各々開孔された第1層間絶縁膜41が形成されている。

【0065】第1層間絶縁膜41上には上層遮光膜90が形成されており、これらの上には、高濃度ソース領域1dへ通じるコンタクトホール81及び画素電位側容量電極71へ通じるコンタクトホール85が各々開孔された第2層間絶縁膜42が形成されている。

【0066】第2層間絶縁膜42上にはデータ線6aが形成されており、これらの上には、画素電位側容量電極71へ通じるコンタクトホール85が形成された第3層間絶縁膜43が形成されている。画素電極9aは、このように構成された第3層間絶縁膜43の上面に設けられている。

【0067】以上のように構成された本実施形態によれば、対向基板20側からTFT30のチャネル領域1a'及びその付近に入射光が入射しようとする、第2遮光膜23、データ線6a及び上層遮光膜90で遮光を行う。他方、TFTアレレイ基板10側から、TFT30のチャネル領域1a'及びその付近に戻り光が入射しようとする、下層遮光膜11aで遮光を行う（特に、複板式のカラー表示用のプロジェクタ等で複数の電気光学装置をプリズム等を介して組み合わせる一つの光学系を構成する場合には、他の電気光学装置からプリズム等を突き抜けて来る投射光部分からなる戻り光は強力であるので、有効である）。そして、斜めの入射光、内面反

(10)

17

射光、多重反射光などのTFT30から層間距離を隔てて遮光するのでは、遮光効果が薄い光成分については、TFT30に近接して積層されたカバー層80により吸収する。これらの結果、TFT30の特性が光リークにより劣化することは殆ど無くなり、当該電気光学装置では、非常に高い耐光性が得られる。即ち、本実施形態では、ストレス及び容量カップリングに係る問題を引き起こすことなくカバー層80をTFT30に近接配置可能であるので、当該カバー層80により、耐光性を十分に高められる。

【0068】しかも本実施形態では特に、前述の如く固定電位側容量電極72をなすシリコン層部分は、不純物がドーピングされることにより導電性があるドーピングシリコンからなり、カバー層80をなすシリコン層部分は、不純物がドーピングされないことにより導電性がないノンドーピングシリコンからなる。このため、カバー層80をTFT30に近接配置しても容量カップリングは、より一層問題とならないので、チャネル領域1a'に対してカバー層80を、より一層近接配置できるので大変有利である。

【0069】このようなカバー層の膜厚を、100nm～300nm、好ましくは200nm程度とすることにより、その光吸収率を実用上十分に高められる。同時にカバー層80の存在により発生するストレスも実用上殆ど問題とならず更にカバー層80の存在に起因して発生する画素電極9aの下地面（第3層間絶縁膜43の表面）における段差も実用上殆ど問題とならない。また、固定電位側容量電極72としても、この程度の膜厚があれば支障はない。そして、より具体的な膜厚については、装置仕様に応じて求められる透過率（光吸収率）、段差、ストレス等の影響を総合的に勘案して設定すればよい。

【0070】更に本実施形態によれば、カバー層80と同一シリコン層から固定電位側容量電極72が形成された蓄積容量70により、データ線6a及びTFT30を介して画素電極9aに書き込まれた電位を比較的長時間に渡って保持できる。即ち、専ら蓄積容量70の電極としてのみ用いられる導電層を追加的に積層することによる積層構造の複雑化或いは肥大化を避けつつ、限られたTFTアレイ基板10上の領域内に効率的に蓄積容量70を作り込める。

【0071】本実施形態では特に、固定電位側容量電極72は、TFT30の上層側に積層された上層遮光膜90に接続されることにより、固定電位に落とされているので、基板上で平面的に見て半導体層1aが存在する箇所でも、上層遮光膜90と固定電位側容量電極72との間のコンタクトをとれる（即ち、コンタクトホール84を避けるために、平面的に見て半導体層1aを括れさせたり小さくする必要はない）。更にこのようにTFT30の上層側に積層された上層遮光膜90を容量線300

18

（図1参照）として利用することにより、後述する当該電気光学装置の製造プロセスにおいて、蓄積容量70の誘電体膜74を形成後に直ちに（即ち、下側にある固定電位配線に接続するためのコンタクトホールを開孔する作業を挟むことなく）、カバー層80及び固定電位側容量電極72となるシリコン層を積めるという利益も得られる。

【0072】加えて本実施形態では特に、同一シリコン層からなるカバー層80と固定電位側容量電極72とはパターンの的に分離されていないため、これらをパターンの的に分離することによる積層構造の複雑化や装置の信頼性低下を招かなくて済むと同時に、分離する場合と比較して蓄積容量70の構築面積を広げられるため、蓄積容量70の増加を図れる。

【0073】以上説明した実施形態では、多数の導電層を積層することにより、画素電極9aの下地面（即ち、第3層間絶縁膜43の表面）におけるデータ線6aや走査線3aに沿った領域に段差が生じるが、TFTアレイ基板10、下地絶縁膜12、第1層間絶縁膜41、第2層間絶縁膜42、第3層間絶縁膜43に溝を掘って、データ線6a等の配線やTFT30等を埋め込むことにより平坦化処理を行ってもよいし、第3層間絶縁膜43や第2層間絶縁膜42の上面の段差をCMP（Chemical Mechanical Polishing）処理等で研磨することにより、或いは有機SOGを用いて平らに形成することにより、当該平坦化処理を行ってもよい。

【0074】更に以上説明した実施形態では、画素スイッチング用TFT30は、好ましくは図3に示したようにLDD構造を持つが、低濃度ソース領域1b及び低濃度ドレイン領域1cに不純物の打ち込みを行わないオフセット構造を持ってよいし、走査線3aの一部からなるゲート電極をマスクとして高濃度で不純物を打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライン型のTFTであってもよい。また本実施形態では、画素スイッチング用TFT30のゲート電極を高濃度ソース領域1d及び高濃度ドレイン領域1e間に1個のみ配置したシングルゲート構造としたが、これらの間に2個以上のゲート電極を配置してもよい。このようにデュアルゲート或いはトリプルゲート以上でTFTを構成すれば、チャネルとソース及びドレイン領域との接合部のリーク電流を防止でき、オフ時の電流を低減することができる。

【0075】（製造プロセス）次に、上述の如き構成を持つ第1実施形態における電気光学装置の製造プロセスについて、図5及び図6を参照して説明する。ここに図5及び図6は、第1実施形態の電気光学装置の製造プロセスにおける各工程におけるTFTアレイ基板側の各層を、図4及び図5と同様に図2のA-A'断面及びB-B'断面に対応させて示す工程図である。

【0076】先ず図5の工程（1）に示すように、石英

(11)

19

基板、ハードガラス、シリコン基板等のTFTアレ基板10を用意する。ここで、好ましくは $N_2$ （窒素）等の不活性ガス雰囲気中かつ約 $900\sim 1300^\circ C$ の高温でアニール処理し、後に実施される高温プロセスにおけるTFTアレ基板10に生じる歪みが少なくなるように前処理しておく。そして、このように処理されたTFTアレ基板10の全面に、Ti、Cr、W、Ta、Mo及びPd等の金属や金属シリサイド等の金属合金膜を、スパッタリングにより、 $100\sim 500\text{ nm}$ 程度の膜厚、好ましくは約 $200\text{ nm}$ の膜厚の遮光膜を形成する。そしてフォトリソグラフィ及びエッチングにより、図2に示した如き所定パターンの下層遮光膜11aを形成する。

【0077】続いて、下層遮光膜11a上に、例えば、常圧又は減圧CVD法等によりTEOS（テトラ・エチル・オルソ・シリケート）ガス、TEB（テトラ・エチル・ボートレート）ガス、TMOP（テトラ・メチル・オキシ・フォスレート）ガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる下地絶縁膜12を形成する。この下地絶縁膜12の膜厚は、例えば約 $500\sim 2000\text{ nm}$ とする。

【0078】続いて、下地絶縁膜12上に、約 $450\sim 550^\circ C$ 、好ましくは約 $500^\circ C$ の比較的低温環境中で、流量約 $400\sim 600\text{ cc/min}$ のモノシランガス、ジシランガス等を用いた減圧CVD（例えば、圧力約 $20\sim 40\text{ Pa}$ のCVD）により、アモルファスシリコン膜を形成する。その後、窒素雰囲気中で、約 $600\sim 700^\circ C$ にて約 $1\sim 10$ 時間、好ましくは、 $4\sim 6$ 時間のアニール処理を施することにより、ポリシリコン膜1を約 $50\sim 200\text{ nm}$ の厚さ、好ましくは約 $100\text{ nm}$ の厚さとなるまで固相成長させる。固相成長させる方法としては、RTA（Rapid Thermal Anneal）を使ったアニール処理でも良いし、エキシマレーザー等を用いたレーザーアニールでも良い。この際、画素スイッチング用のTFT30を、nチャネル型とするかpチャネル型にするかに応じて、V族元素やIII族元素のドーパントを僅かにイオン注入等によりドーピングしても良い。そして、フォトリソグラフィ及びエッチングにより、図2に示した如き所定パターンを有する半導体層1aを形成する。

【0079】次に工程（2）に示すように、TFT30を構成する半導体層1aを約 $900\sim 1300^\circ C$ の温度、好ましくは約 $1000^\circ C$ の温度により熱酸化することにより、又は減圧CVD法等により、若しくは両者を続けて行うことにより、単層又は多層の高温酸化シリコン膜（HTO膜）や窒化シリコン膜からなる（ゲート絶縁膜を含む）絶縁薄膜2を形成する。この結果、半導体層1aの厚さは、約 $30\sim 150\text{ nm}$ の厚さ、好ましくは約 $35\sim 50\text{ nm}$ の厚さとなり、絶縁薄膜2の厚さ

20

は、約 $20\sim 150\text{ nm}$ の厚さ、好ましくは約 $30\sim 100\text{ nm}$ の厚さとなる。

【0080】続いて、絶縁薄膜2に対する反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより、コンタクトホール83を開孔する。更に、減圧CVD法等によりポリシリコン膜を堆積し、更にリン（P）を熱拡散し、このポリシリコン膜を導電化する。又は、Pイオンをこのポリシリコン膜の成膜と同時に導入したドーパントシリコン膜を用いてもよい。このポリシリコン膜の膜厚は、約 $100\sim 500\text{ nm}$ の厚さ、好ましくは約 $300\text{ nm}$ である。そして、フォトリソグラフィ及びエッチングにより、図2に示した如き所定パターンの走査線3aと画素電位側容量電極71とを同時形成する。

【0081】続いてTFT30をLDD構造を持つnチャネル型のTFTとする場合、半導体層1aに、先ず低濃度ソース領域1b及び低濃度ドレイン領域1cを形成するために、走査線3a（ゲート電極）をマスクとして、PなどのV族元素のドーパントを低濃度で（例えば、Pイオンを $1\sim 3\times 10^{13}/\text{cm}^2$ のドーパ量にて）ドーピングする。これにより走査線3a下の半導体層1aはチャネル領域1a'となる。この不純物のドーピングにより画素電位側容量電極71及び走査線3aも低抵抗化される。更に、画素スイッチング用TFT30を構成する高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、走査線3aよりも幅の広いマスクでレジスト層600を走査線3a上に形成した後、同じくPなどのV族元素のドーパントを高濃度で（例えば、Pイオンを $1\sim 3\times 10^{15}/\text{cm}^2$ のドーパ量にて）ドーピングする。また、画素スイッチング用TFT30をpチャネル型とする場合、半導体層1aに、低濃度ソース領域1b及び低濃度ドレイン領域1c並びに高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、BなどのIII族元素のドーパントを用いてドーピングする。尚、例えば、低濃度のドーピングを行わずに、オフセット構造のTFTとしてもよく、走査線3aをマスクとして、Pイオン、Bイオン等を用いたイオン注入技術によりセルフアライン型のTFTとしてもよい。この不純物のドーピングにより画素電位側容量電極71及び走査線3aも更に低抵抗化される。

【0082】尚、これらのTFT30の素子形成工程と並行して、nチャネル型TFT及びpチャネル型TFTから構成される相補型構造を持つデータ線駆動回路、走査線駆動回路等の周辺回路をTFTアレ基板10上の周辺部に形成してもよい。

【0083】次に工程（3）に示すように、画素電位側容量電極71及び走査線3a並びに絶縁薄膜2上に、減圧CVD法、プラズマCVD法等により高温酸化シリコン膜（HTO膜）や窒化シリコン膜からなる誘電体膜74を $25\text{ nm}$ 以上 $50\text{ nm}$ 以下の比較的薄い厚さに堆積

(12)

21

する。但し、誘電体膜74は、絶縁薄膜2の場合と同様に、単層膜或いは多層膜のいずれから構成してもよく、一般にTFTのゲート絶縁膜を形成するのに用いられる各種の公知技術により形成可能である。そして、誘電体膜74を薄くする程、蓄積容量70は大きくなるので、結局、膜破れなどの欠陥が生じないことを条件に、膜厚50nm以下の極薄い絶縁膜となるように誘電体膜74を形成すると本実施形態の効果を増大させることができる。

【0084】続いて、誘電体膜74上に導電性のないポリシリコン層を減圧CVD法等により堆積した後、フォトリソグラフィ及びエッチングにより、図2に示した如きカバー層80及び固定電位側容量電極72'（導電性が付与される前の電極）を含む所定パターンのシリコン層とする。この際のシリコン層の膜厚としては、100nm以上300nm以下程度が好ましいが、前述の如く装置仕様に応じて求められる透過率（光吸収率）、段差、ストレス等の影響を総合的に勘案して設定する。

【0085】次に、工程（4）では、フォトリソグラフィ及びエッチングにより、カバー層80となるシリコン層部分をマスクするレジスト601を形成した後に、矢印600で示した方向からイオン打ち込みを行って、固定電位側容量電極72'を低抵抗化する。即ち、ドーブトシリコンからなる固定電位側容量電極72が完成する。この際、カバー層80についてはドーブされない。即ち、カバー層80は、ノンドーブトシリコンからなる。

【0086】次に、図6の工程（5）に示すように、レジスト500を除去した後に、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第1層間絶縁膜41を形成する。第1層間絶縁膜41の膜厚は、例えば500～1500nm程度である。

【0087】更に、第1層間絶縁膜41に対する反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより、コンタクトホール84を開孔する。その後、第1層間絶縁膜41上の全面に、Ti、Cr、W、Ta、Mo及びPd等の金属や金属シリサイド等の金属合金膜を、スパッタリングにより例えば100～500nm程度の膜厚に形成した後に、フォトリソグラフィ及びエッチングを行って、図2に示した如き所定パターンを有する上層遮光膜90を形成する。

【0088】次に、工程（6）では、上層遮光膜90上に、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第2層間絶縁膜42を形成する。第2層間絶縁膜42の膜厚は、例えば500～1500nm程度である。

22

【0089】続いて、第2層間絶縁膜42に対する反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより、コンタクトホール81を開孔する。この際、走査線3aや上層遮光膜90を基板周辺領域において図示しない配線と接続するためのコンタクトホールも、コンタクトホール81と同一の工程により第2層間絶縁膜42に開孔することができる。その後、第1層間絶縁膜41上の全面に、スパッタリング等により、遮光性のAl等の低抵抗金属や金属シリサイド等を金属膜として、約100～500nmの厚さ、好ましくは約300nmに堆積する。そして、フォトリソグラフィ及びエッチングにより、図2に示した如き所定パターンを有するデータ線6aを形成する。

【0090】次に工程（7）に示すように、データ線6a上を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第3層間絶縁膜43を形成する。第3層間絶縁膜43の膜厚は、例えば500～1500nm程度である。

【0091】続いて、第3層間絶縁膜43に対する反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより、コンタクトホール85を開孔する。

【0092】続いて、第3層間絶縁膜43上に、スパッタ処理等により、ITO膜等の透明導電性薄膜を、約50～200nmの厚さに堆積する。そして、フォトリソグラフィ及びエッチングにより、図2に示した如き所定パターンを有する画素電極9aを形成する。尚、当該液晶装置を反射型の液晶装置に用いる場合には、Al等の反射率の高い不透明な材料から画素電極9aを形成してもよい。

【0093】続いて、画素電極9aの上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜16（図3及び図4参照）が形成される。

【0094】他方、図3及び図4に示した対向基板20については、ガラス基板等が先ず用意され、第2遮光膜23及び額縁としての遮光膜（図1.4及び図1.5参照）が、例えば金属クロムをスパッタした後、フォトリソグラフィ及びエッチングを経て形成される。尚、これらの遮光膜は、導電性である必要はなく、Cr、Ni、Alなどの金属材料の他、カーボンやTiをフォトレジストに分散した樹脂ブラックなどの材料から形成してもよい。尚、TFTアレイ基板10上で、データ線6a、カバー層80、下層遮光膜11a等で遮光領域を規定すれば、対向基板20上の第2遮光膜23を省くことができる。

【0095】その後、対向基板20の全面にスパッタ処

(13)

23

理等により、ITO等の透明導電性薄膜を、約50～200nmの厚さに堆積することにより、対向電極21を形成する。更に、対向電極21の全面にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜22（図3及び図4参照）が形成される。

【0096】最後に、上述のように各層が形成されたTFTアレイ基板10と対向基板20とは、配向膜16及び22が対面するようにシール材（図14及び図15参照）により貼り合わされ、真空吸引等により、両基板間の空間に、例えば複数種類のネマティック液晶を混合してなる液晶が吸引されて、所定層厚の液晶層50が形成される。

【0097】以上説明したように本製造プロセスでは、図5の工程（3）及び（4）で、同一シリコン層から、カバー層80及び固定電位側容量電極72を形成するので、前述した第1実施形態の電気光学装置を比較的容易に製造できる。特に、工程（4）で、カバー層80をなすシリコン層部分をマスクしてのイオン打ち込みにより、カバー層80に導電性を与えることなく、固定電位側容量電極72をなすシリコン層部分にのみ導電性の与えることができる。これにより、パターンの分離されていないカバー層80であって、TFT30に近接配置してもTFT30との容量カップリングが問題とならない導電性のないカバー層80を、比較的容易に製造できる。

【0098】（第2実施形態）次に、図7から図9を参照して本発明の電気光学装置の第2実施形態について説明する。ここに、図7は、データ線、走査線、画素電極等が形成されたTFTアレイ基板の画素の平面図であり、図8は、図7におけるカバー層を中心とする主な積層構造を示すA-A'断面図であり、図9は、その変形例におけるA-A'断面図である。尚、図8及び図9においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を適宜異ならしめてある。また、図7から図9において、図1から図3（第1実施形態）と同様の構成要素には、同様の参照符号を付し、その説明は省略する。

【0099】図7及び図8に示すように、第2実施形態では、第1実施形態と異なり、上層遮光膜90が存在しておらず（更に、これに伴って第2層間絶縁膜42及び40  
コンタクトホール84が存在しておらず）、代りに、カバー層80と同一シリコン層からなる固定電位側容量電極172が、コンタクトホール86を介して下層遮光膜11aに接続されて、固定電位に落とされている。また、走査線3aと同一層からではなく、半導体層1aの高濃度ドレイン領域1aから延設された導電性ポリシリコン膜部分から、画素電位側容量電極171が形成されており、この画素電位側容量電極171と固定電位側容量電極172とが誘電体膜174を介して対向配置され

24

ることで蓄積容量170が構築されている。更に、半導体層1aの平面形状については、コンタクトホール86が開孔可能なように、図8における上端付近が若干短くされ、蓄積容量170を増大させるように画素電位側容量電極171をなす部分が、走査線に沿った領域にも

（図8中、右側に）延設されている。また、半導体層1aの図8中の右端付近に画素電極9aからのコンタクトホール85が開孔されている。他方、蓄積容量170の誘電体膜を厚くしないように、この領域におけるゲート絶縁膜2を含む絶縁薄膜2がエッチングにより除去されている。その他の構成については、図8で省略されている画素電極9a、対向基板20等の構成を含めて、図2から図4に示した第1実施形態の場合と同様である。

【0100】従って第2実施形態によれば、各画素の非開口領域を少なくとも部分的に規定する下層遮光膜11aは、遮光機能のみならず図1に示した容量線300としての機能も有する。そして、このような下層遮光膜11aは好ましくは、第1実施形態における上層遮光膜90の場合と同様に、画素電極9aが配置された画像表示領域からその周囲に延設され、定電位源と電氣的に接続される。

【0101】尚、図9に示したように蓄積容量170を、走査線3aに重なる領域にまで（L字型に）作り込むことなく、データ線6aに重なる領域にのみに（矩形に）作り込んでもよい。この場合、走査線3aに沿った画素非開口領域を不必要に広げないように、半導体層1aの高濃度ドレイン領域1eから延設された角状部を画素電極9a下に突出させおき、この部分に画素電極9aからのコンタクトホール185が開孔されている。

【0102】（第3実施形態）次に、図10から図12を参照して本発明の電気光学装置の第3実施形態について説明する。ここに、図10は、データ線、走査線、画素電極等が形成されたTFTアレイ基板の画素の平面図であり、図11は、図10におけるカバー層を中心とする主な積層構造を示すA-A'断面図であり、図12は、その変形例におけるA-A'断面図である。尚、図11及び図12においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を適宜異ならしめてある。また、図10から図13において、図1から図3（第1実施形態）或いは図と同様の構成要素には、同様の参照符号を付し、その説明は省略する。

【0103】図10及び図11に示すように、第3実施形態では、第2実施形態と比べて、同一シリコン層からなるカバー層80'と固定電位側容量電極172'とが、パターンの分離されている。その他の構成については、第2実施形態の場合と同様である。

【0104】従って第3実施形態によれば、各画素の非開口領域を少なくとも部分的に規定する下層遮光膜11aは、遮光機能のみならず図1に示した容量線300と

(14)

25

しての機能も有する。そして特にカバー層80'と固定電位側容量電極172'とが分離されているため、これらを積層構造内に追加的に作り込むことに起因するストレスの緩和が図れる。更に固定電位側容量電極72における微弱な電位変動がカバー層80を介してTFT30に悪影響を及ぼす事態を防止できる。

【0105】尚、図12に示したように蓄積容量170を、走査線3aに重なる領域にまで(L字型に)作り込むことなく、データ線6aに重なる領域にのみに(矩形に)作り込んでよい。この場合、走査線3aに沿った画素非開口領域を不必要に広げないように、半導体層1aの高濃度ドレイン領域1eから延設された角状部を画素電極9a下に突出させおき、この部分に画素電極9aからのコンタクトホール185が開孔されている。

【0106】以上説明した第2及び第3実施形態では、第1実施形態の場合とは異なり、下層遮光膜11aに図1における容量線300としての機能を与えるが故に、容量線300としての機能を持たない上層遮光膜を省略しているが、第2及び第3実施形態でも、第1実施形態の上層遮光膜90の如き遮光膜を専ら遮光の目的で設けるようにしてもよい。即ち、耐光性を高めるためには、TFT30の上下に上層遮光膜及び下層遮光膜が夫々配置されている方がより好ましい。

【0107】ここで、図13を参照して本発明の各実施形態の電気光学装置における下層遮光膜と上層遮光膜との形状についての好ましい関係について説明を加える。ここに、図13は、下層遮光膜及び上層遮光膜のみを抽出して示すTFTアレ基板の画素の平面図である。

【0108】図13に示すように、各実施形態では、下層遮光膜11a及び上層遮光膜90共に格子状に形成されており、下層遮光膜11aは、平面的に見て上層遮光膜90の形成領域からはみ出さないように(即ち、一回り小さく)構成されている。従って上層遮光膜90により各画素の開口領域の輪郭が規定される。また、両者間にある不図示の走査線、データ線及びTFT等は、平面的に見て下層遮光膜11aの形成領域からはみ出さないように構成されている。

【0109】従って、対向基板20側からの入射光が上層遮光膜90の形成領域からはみ出した下層遮光膜11a(更に、走査線、データ線等)で反射することで、当該電気光学装置の内部における内面反射光や多重反射光が発生することを効果的に未然防止できる。尚、TFTアレ基板10側からの戻り光が下層遮光膜11aの形成領域からはみ出した上層遮光膜90部分で反射することで、当該電気光学装置の内部における内面反射光や多重反射光は若干発生する。しかしながら、戻り光は入射光に比べて遥かに光強度が低いために、戻り光による内面反射や多重反射光の悪影響は入射光のそれに比べて軽微である。そして、このような軽微な内面反射光や多重反射光であれば、TFT30に近接配置されたシリコン

26

層からなるカバー層80によって十分に吸収可能である。従って本実施形態の構成は有利である。

【0110】(その他の変形形態)以上説明した各実施形態では、カバー層80をなすシリコン層部分は、ノンドープトシリコンからなり導電性がないが、カバー層80も、同一シリコン層から形成される固定電位側容量電極72と同様に、不純物がドーブされることにより導電性があるドープトシリコンから形成されてもよい。この場合には、カバー層80を固定電位に落とすことにより、TFT30に近接配置しても容量カップリングは殆ど問題とならない。このようにカバー層80を導電性のドープトシリコンから構成する場合には、TFT30との寄生容量を確実に抑制する観点からは、カバー層80とTFT30(即ち、ゲート電極を構成する走査線3a)との間に介在する層間絶縁膜(誘電体膜)の膜厚を400nm以上とするのが好ましい。従って、このような比較的厚い層間絶縁膜を蓄積容量の誘電体膜としてそのまま用いることは望ましくない(即ち、誘電体膜の膜厚に反比例して容量が小さくなってしまう)ので、当該層間絶縁膜を誘電体膜となる部分において局所的にエッチングして、25nm~50nmの薄い誘電体膜にすればよい。尚、このような電気光学装置は、例えば図5の工程(4)において、カバー層80となる部分をマスクすることなく、カバー層80及び固定電位側容量電極72をなすシリコン層に対してイオン打ち込みを行って、低抵抗のドープトシリコン層とすればよい。更に、このようにカバー層80に導電性を持たせる場合には、これと同一シリコン層からなる電極からパターンの分離して、更に別途コンタクトホールを介して上層遮光膜、下層遮光膜等からなる固定電位配線に接続しても、導電性のあるカバー層80を固定電位に落とせる。特に、カバー層80と同一シリコン層からなる電極を画素電位電極として用いる場合にはこのような構成を採るとよい。

【0111】以上説明した各実施形態においては、固定電位側容量電極72がカバー層80と同一シリコン膜から形成されているが、画素電位側容量電極71がカバー層80と同一シリコン膜から形成されてもよい。また、以上説明した各実施形態では、カバー層80と同一シリコン層から形成されない方の電極については、導電性のポリシリコン膜からなる走査線3aや半導体層1aと同一層から形成されているが、例えばITO膜からなる画素電極9aと同一層、上層又は下層遮光膜と同一層、データ線と同一層等から形成されてもよい。更に、固定電位側容量電極は、TFT30の上側(例えば、走査線3aと画素電位側容量電極71との間やデータ線6aと画素電位側容量電極71との間)に積層されてもよいし、TFT30の下側に積層されてもよい。但し、容量線300として機能する遮光膜と固定電位側容量電極との層間距離が短いほど両者をコンタクトホール等により接続



(15)

27

するのが容易となり積層構造の複雑化を招かないで済むと共に装置信頼性が高まる。

【0112】加えて、上述した各実施形態は、画素電極等が透明であり入射光を透過する透過型の電気光学装置として構築されているが、画素電極が反射膜であるか或いは反射膜が画素電極下に配置されており入射光を反射する反射型の電気光学装置として構築されてもよい。

【0113】（電気光学装置の全体構成）以上のように構成された各実施形態における電気光学装置の全体構成を図14及び図15を参照して説明する。尚、図14は、TFTアレイ基板10をその上に形成された各構成要素と共に対向基板20の側から見た平面図であり、図15は、図14のH-H'断面図である。

【0114】図15において、TFTアレイ基板10の上には、シール材52がその縁に沿って設けられており、その内側に並行して、例えば第2遮光膜23と同じ或いは異なる材料から成る画像表示領域10aの周辺を規定する額縁としての第3遮光膜53が設けられている。シール材52の外側の領域には、データ線6aに画像信号を所定タイミングで供給することによりデータ線6aを駆動するデータ線駆動回路101及び外部回路接続端子102がTFTアレイ基板10の一辺に沿って設けられており、走査線3aに走査信号を所定タイミングで供給することにより走査線3aを駆動する走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。走査線3aに供給される走査信号遅延が問題にならないのならば、走査線駆動回路104は片側だけでも良いことは言うまでもない。また、データ線駆動回路101を画像表示領域10aの辺に沿って両側に配列してもよい。更にTFTアレイ基板10の残る一辺には、画像表示領域10aの両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられている。また、対向基板20のコーナー部の少なくとも1箇所においては、TFTアレイ基板10と対向基板20との間で電氣的に導通をとるための導通材106が設けられている。そして、図15に示すように、図14に示したシール材52とほぼ同じ輪郭を持つ対向基板20が当該シール材52によりTFTアレイ基板10に固着されている。

【0115】尚、TFTアレイ基板10上には、これらのデータ線駆動回路101、走査線駆動回路104等に加えて、複数のデータ線6aに画像信号を所定のタイミングで印加するサンプリング回路、複数のデータ線6aに所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該電気光学装置の品質、欠陥等を検査するための検査回路等を形成してもよい。

【0116】以上図1から図15を参照して説明した各実施形態では、データ線駆動回路101及び走査線駆動回路104をTFTアレイ基板10の上に設ける代わり

28

に、例えばTAB (Tape Automated bonding) 基板上に実装された駆動用LSIに、TFTアレイ基板10の周辺部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。また、対向基板20の投射光が入射する側及びTFTアレイ基板10の出射光が出射する側には各々、例えば、TNモード、VA (Vertically Aligned) モード、PDLC (Polymer Dispersed Liquid Crystal) モード等の動作モードや、ノーマリーホワイトモード/ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方向で配置される。

【0117】以上説明した各実施形態における電気光学装置は、プロジェクタに適用されるため、3枚の電気光学装置がRGB用のライトバルブとして各々用いられ、各ライトバルブには各々RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、第2遮光膜23の形成されていない画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。このようにすれば、プロジェクタ以外の直視型や反射型のカラー電気光学装置について、各実施形態における電気光学装置を適用できる。また、対向基板20上に1画素1個対応するようにマイクロレンズを形成してもよい。あるいは、TFTアレイ基板10上のRGBに対向する画素電極9a下にカラーレジスト等でカラーフィルタ層を形成することも可能である。このようにすれば、入射光の集光効率を向上することで、明るい電気光学装置が実現できる。更にまた、対向基板20上に、何層もの屈折率の相違する干涉層を堆積することで、光の干涉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー電気光学装置が実現できる。

【0118】本発明は、上述した各実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う電気光学装置及びその製造方法もまた本発明の技術的範囲に含まれるものである。

#### 【図面の簡単な説明】

【図1】本発明の第1実施形態の電気光学装置における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路である。

【図2】第1実施形態の電気光学装置におけるデータ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

【図3】図2のA-A'断面図である。

【図4】図2のB-B'断面図である。



(16)

29

【図5】第1実施形態の電気光学装置の製造プロセスにおける各工程におけるTFTアレイ基板側の各層を、図4及び図5と同様に図2のA-A'断面及びB-B'断面に対応させて示す工程図(その1)である。

【図6】第1実施形態の電気光学装置の製造プロセスにおける各工程におけるTFTアレイ基板側の各層を、図4及び図5と同様に図2のA-A'断面及びB-B'断面に対応させて示す工程図(その2)である。

【図7】第2実施形態の電気光学装置におけるデータ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

【図8】第2実施形態におけるカバー層を中心とする主な積層構造を示す図7のA-A'断面図である。

【図9】第2実施形態の変形例における図7のA-A'断面図である。

【図10】第3実施形態の電気光学装置におけるデータ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

【図11】第3実施形態におけるカバー層を中心とする主な積層構造を示す図10のA-A'断面図である。

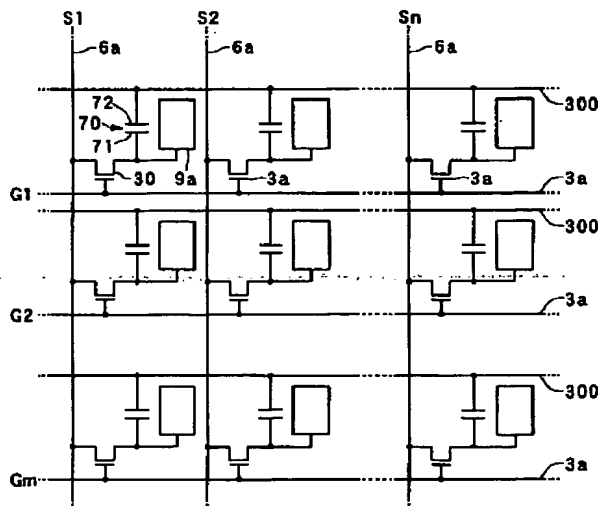
【図12】第3実施形態の変形例における図10のA-A'断面図である。

【図13】各実施形態における上層遮光膜及び下層遮光膜を抽出して示すTFTアレイ基板の画素の平面図である。

【図14】各実施形態の電気光学装置におけるTFTアレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図15】図14のH-H'断面図である。

【図1】

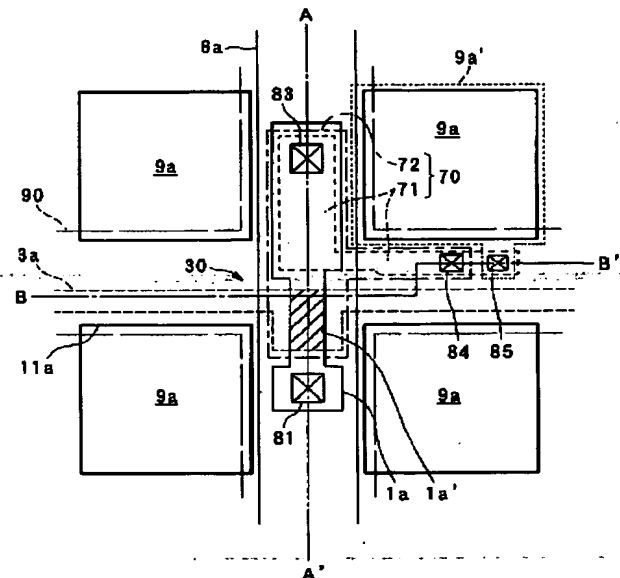


30

## 【符号の説明】

- 1 a…半導体層
- 1 a'…チャネル領域
- 1 b…低濃度ソース領域
- 1 c…低濃度ドレイン領域
- 1 d…高濃度ソース領域
- 1 e…高濃度ドレイン領域
- 2…絶縁薄膜
- 3 a…走査線
- 6 a…データ線
- 9 a…画素電極
- 1 0…TFTアレイ基板
- 1 1 a…下層遮光膜
- 1 2…下地絶縁膜
- 1 6…配向膜
- 2 0…対向基板
- 2 1…対向電極
- 2 2…配向膜
- 2 3…第2遮光膜
- 3 0…TFT
- 5 0…液晶層
- 7 0…蓄積容量
- 7 1…画素電位側容量電極
- 7 2…固定電位側容量電極
- 7 4…誘電体膜
- 8 0…カバー層
- 9 0…上層遮光膜
- 8 1、8 3、8 5…コンタクトホール
- 3 0 0…容量線

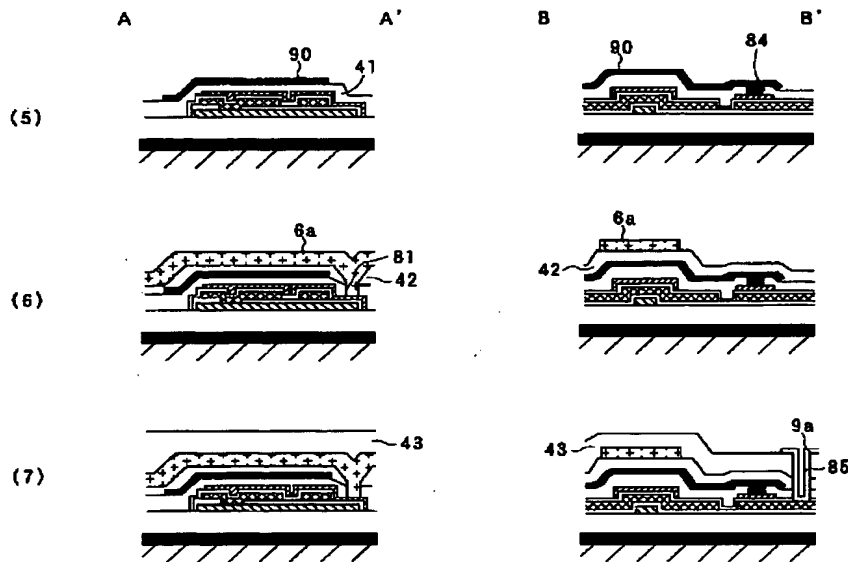
【図2】



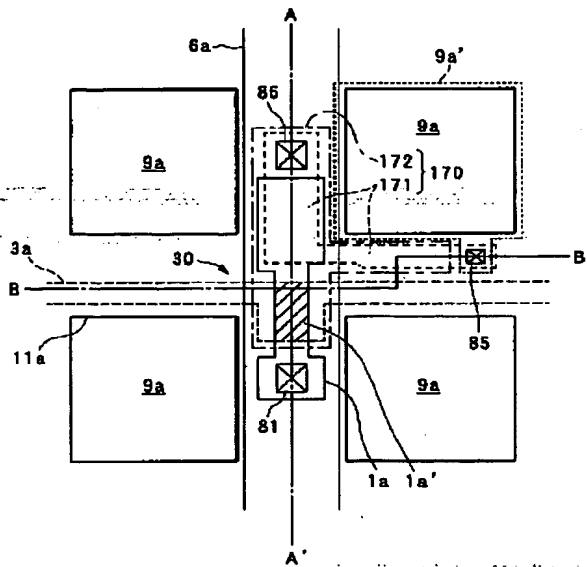


(18)

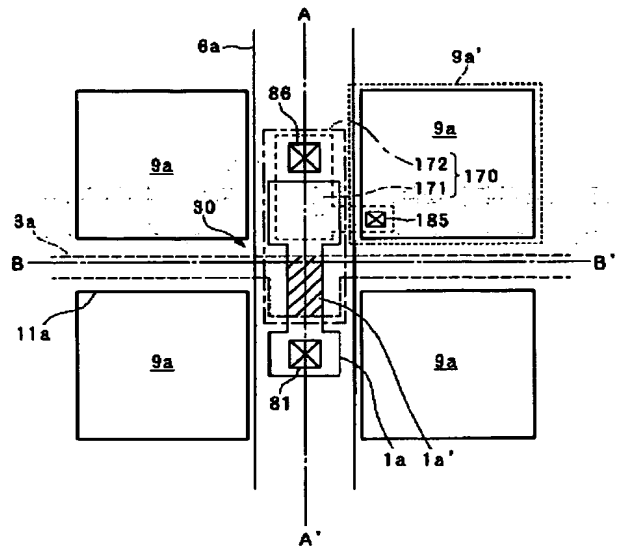
【図6】



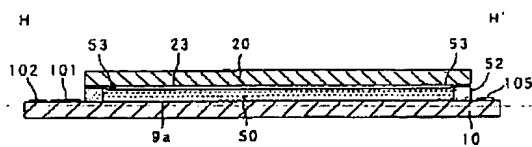
【図7】



【図9】

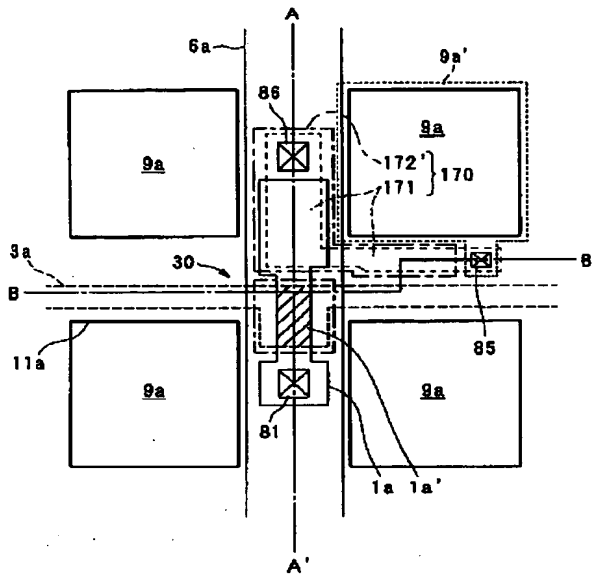


【図15】

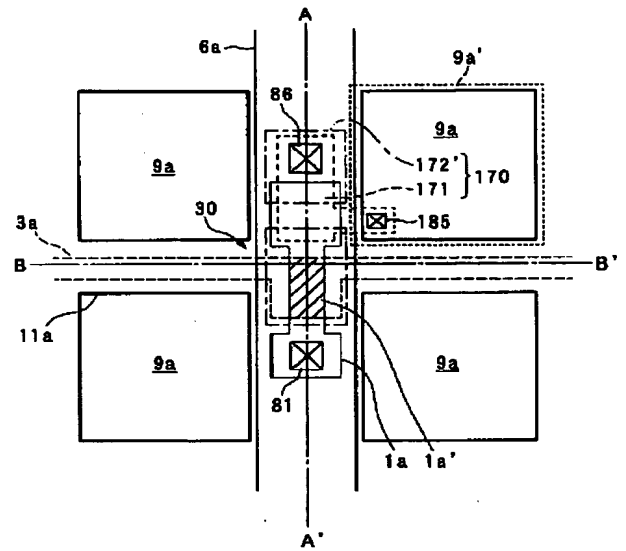


(19)

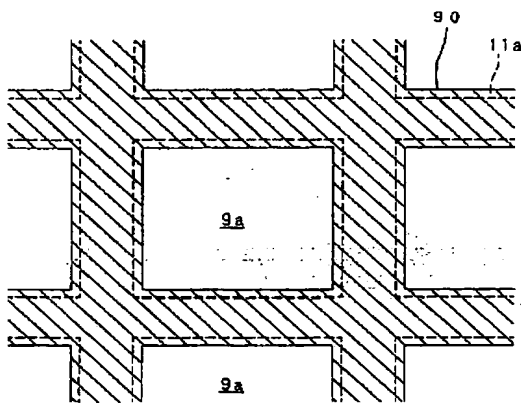
【図10】



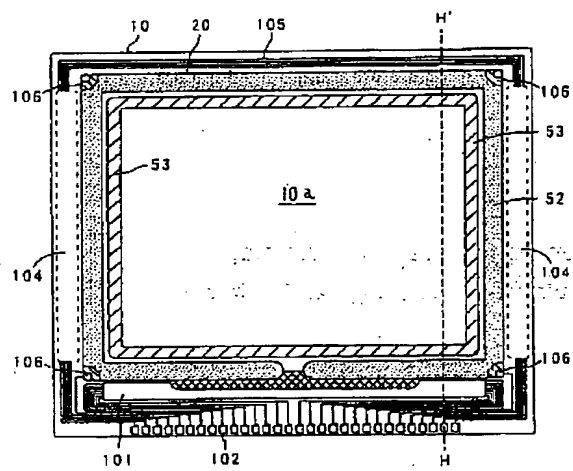
【図12】



【図13】



【図14】



(20)

フロントページの続き

F ターム(参考) 2H092 GA29 JA24 JA37 JA41 JA46  
JB22 JB31 JB51 JB69 KA04  
KA05 KA10 KB25 MA05 MA07  
MA13 MA17 MA27 MA29 MA30  
NA01 PA03 RA05  
5C094 AA02 AA09 AA31 BA03 BA43  
CA19 EA04 EA05 EB02  
5F110 AA30 BB02 BB04 CC02 DD02  
DD03 DD05 DD12 DD13 DD14  
DD25 EE09 EE45 FF02 FF03  
FF09 FF23 FF32 GG02 GG13  
GG25 GG47 GG52 HJ01 HJ04  
HL03 HL05 HL23 HM14 HM15  
NN03 NN04 NN23 NN24 NN25  
NN26 NN27 NN35 NN42 NN44  
NN45 NN46 NN48 NN54 NN55  
NN72 PP02 PP03 PP10 PP13  
QQ08 QQ11 QQ19

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成16年12月24日(2004.12.24)

【公開番号】特開2001-356709(P2001-356709A)

【公開日】平成13年12月26日(2001.12.26)

【出願番号】特願2000-179899(P2000-179899)

【国際特許分類第7版】

G 0 9 F 9/30

G 0 2 F 1/1368

H 0 1 L 29/786

【F I】

G 0 9 F 9/30 3 3 8

G 0 2 F 1/136 5 0 0

H 0 1 L 29/78 6 1 9 B

【手続補正書】

【提出日】平成16年1月16日(2004.1.16)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基板上に、相交差する走査線及びデータ線と、該走査線及びデータ線に接続された薄膜トランジスタと、該薄膜トランジスタに接続された画素電極と、該画素電極に接続され画素電極電位とされる画素電位側容量電極と該画素電位側容量電極に誘電体膜を介して対向配置され固定電位とされる固定電位側容量電極とを含む蓄積容量と、前記薄膜トランジスタを構成する半導体層の少なくともチャネル領域を平面的に見て覆う位置に積層されたカバー層とを備えており、

前記画素電位側容量電極及び前記固定電位側容量電極のうち一方の電極と前記カバー層とは同一シリコン層から形成されていることを特徴とする電気光学装置。

【請求項2】

前記カバー層の膜厚は、100nm～300nmであることを特徴とする請求項1に記載の電気光学装置。

【請求項3】

前記一方の電極をなすシリコン層部分は、不純物がドーピングされることにより導電性があり、

前記カバー層をなすシリコン層部分は、前記不純物がドーピングされないことにより前記一方の電極よりも導電性が小さいことを特徴とする請求項1又は2に記載の電気光学装置。

【請求項4】

前記カバー層は、前記一方の電極からパターンの的に分離されていないことを特徴とする請求項3に記載の電気光学装置。

【請求項5】

前記カバー層をなすシリコン層部分及び前記一方の電極をなすシリコン層部分は、不純物がドーピングされることにより導電性があることを特徴とする請求項1又は2に記載の電気光学装置。

【請求項6】

前記一方の電極は前記固定電位側容量電極であり、

前記カバー層は、前記一方の電極からパターンの的に分離されていないことを特徴とする請求項 5 に記載の電気光学装置。

【請求項 7】

前記カバー層は、前記一方の電極からパターンの的に分離されていることを特徴とする請求項 3 又は 6 に記載の電気光学装置。

【請求項 8】

前記基板上における前記薄膜トランジスタの上側に積層されており画素の非開口領域を少なくとも部分的に規定する導電性の上層遮光膜を更に備えており、  
前記固定電位側容量電極は、前記上層遮光膜に接続され、前記上層遮光膜を介して固定電位に落とされていることを特徴とする請求項 1 から 7 のいずれか一項に記載の電気光学装置。

【請求項 9】

前記基板上における前記薄膜トランジスタの下側に積層されており前記チャネル領域を該下側から覆う導電性の下層遮光膜を更に備えており、  
前記固定電位側容量電極は、前記下層遮光膜に接続され、前記下層遮光膜を介して固定電位に落とされていることを特徴とする請求項 1 から 7 のいずれか一項に記載の電気光学装置。

【請求項 10】

前記画素電位側容量電極及び前記固定電位側容量電極のうち他方の電極は、前記画素電極と同一層から形成されていることを特徴とする請求項 1 から 9 のいずれか一項に記載の電気光学装置。

【請求項 11】

基板上に、相交差する走査線及びデータ線を形成する工程と、  
該走査線及びデータ線に接続される薄膜トランジスタを形成する工程と、  
該薄膜トランジスタに接続される画素電極を形成する工程と、  
前記画素電極に接続され画素電極電位とされる画素電位側容量電極と該画素電位側容量電極に誘電体膜を介して対向配置され固定電位とされる固定電位側容量電極とを含む蓄積容量を形成する工程と、  
前記薄膜トランジスタを構成する半導体層の少なくともチャネル領域を平面的に見て覆う位置に積層されるカバー層を形成する工程と  
を備えており、  
前記蓄積容量を形成する工程及び前記カバー層を形成する工程では、同一シリコン層から前記画素電位側容量電極及び前記固定電位側容量電極のうち一方の電極と前記カバー層とを形成することを特徴とする電気光学装置の製造方法。

【請求項 12】

前記蓄積容量を形成する工程では、前記カバー層をなすシリコン層部分をマスクしてのイオン打ち込みにより、前記一方の電極をなすシリコン層部分に導電性の与えることを特徴とする請求項 11 に記載の電気光学装置の製造方法。

【請求項 13】

基板上に、相交差する走査線及びデータ線と、  
該走査線及びデータ線に接続された薄膜トランジスタと、  
該薄膜トランジスタに接続された画素電極と、  
該画素電極に接続され画素電極電位とされる画素電位側容量電極と該画素電位側容量電極に誘電体膜を介して対向配置され固定電位とされる固定電位側容量電極とを含む蓄積容量と、  
前記薄膜トランジスタを構成する半導体層の少なくともチャネル領域を平面的に見て覆う位置に積層されたシリコンでなる遮光層と  
を備えており、  
前記蓄積容量の一方の電極は前記遮光層と同層で形成されていることを特徴とする電気光学装置。

## 【請求項 1 4】

前記遮光層と同層で形成された前記蓄積容量の一方の電極は、前記遮光層を覆う第 2 の遮光層に接続されることを特徴とする請求項 1 3 に記載の電気光学装置。

## 【請求項 1 5】

前記遮光層と同層で形成された前記蓄積容量の一方の電極は、前記半導体層の下層で前記半導体層を覆う第 3 の遮光層を備えることを特徴とする請求項 1 3 又は 1 4 に記載の電気光学装置。



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**